



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

2000年 4月18日

RECEIVED

出 願 番 号  
Application Number:

特願2000-117045

JUL 19 2001

Technology Center 2600

出 願 人  
Applicant(s):

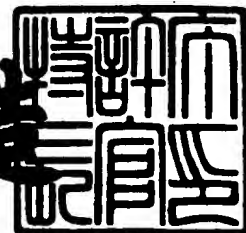
株式会社半導体エネルギー研究所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 P004857

【提出日】 平成12年 4月18日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

複数の画素を有する表示装置であって、

前記複数の画素に入力されるビデオ信号の極性を反転することによって、前記複数の画素の輝度を変えることを特徴とする表示装置。

【請求項 2】

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記ソース信号線駆動回路は出力の極性を切り替える切り替え回路を有しており、

前記切り替え回路に入力されたビデオ信号は、前記切り替え回路に入力される切り替え信号によって極性が反転し、前記複数の画素に入力することを特徴とする表示装置。

【請求項 3】

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記複数の画素は E L 素子をそれぞれ有しており、

前記ソース信号線駆動回路はシフトレジスタと、1 つまたは複数のラッチと、切り替え回路とを有しており、

前記 1 つまたは複数のラッチから前記切り替え回路に入力されたデジタルビデオ信号は、前記切り替え回路に入力される切り替え信号によって極性が反転し、前記複数の画素に入力することを特徴とする表示装置。

【請求項 4】

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記複数の画素は E L 素子をそれぞれ有しており、

前記ソース信号線駆動回路はシフトレジスタと、1 つまたは複数のラッチと、



切り替え回路とを有しており、

前記 1 つまたは複数のラッチから前記切り替え回路に入力されたデジタルビデオ信号は、前記切り替え回路に入力される切り替え信号によって極性が反転し、前記複数の画素に入力しており、

1 フレーム期間中における全ての前記 E L 素子の発光する期間の長さの平均が、1 フレーム期間中における全ての前記 E L 素子の発光する期間の長さの最大値の半分以下であることを特徴とする表示装置。

【請求項 5】

請求項 2 乃至請求項 4 のいずれか 1 項において、

前記切り替え回路はインバーターと、第 1 のアナログスイッチと、第 2 のアナログスイッチとを有しており、

前記切り替え回路に入力されたビデオ信号は、前記インバーターを介して前記第 1 のアナログスイッチの入力端子に入力し、

また前記 1 つまたは複数のラッチから出力されたビデオ信号は、前記第 2 のアナログスイッチの入力端子に入力し、

切り替え信号が前記第 1 のアナログスイッチの第 1 の制御入力端子及び前記第 2 のアナログスイッチの第 2 の制御入力端子から入力し、

前記切り替え信号の極性が反転した信号が前記第 1 のアナログスイッチの第 2 の制御入力端子及び前記第 1 のアナログスイッチの第 2 の制御入力端子から入力し、

前記前記第 1 のアナログスイッチ及び前記第 2 のアナログスイッチの出力端子から出力される信号が、前記切り替え回路から出力されることを特徴とする表示装置。

【請求項 6】

請求項 2 乃至請求項 4 のいずれか 1 項において、

前記切り替え回路はインバーターと、第 1 の N A N D と、第 2 の N A N D と、第 3 の N A N D とを有しており、

前記第 1 の N A N D に、切り替え信号と、前記インバーターを介してビデオ信号とが入力され、

前記第 2 の N A N D に、前記切り替え信号の極性を反転させた信号と、前記ビデオ信号とが入力され、

前記第 1 の N A N D から出力された信号と、前記第 2 の N A N D から出力された信号とが前記第 3 の N A N D に入力され、

前記第 3 の N A N D から出力された信号が前記切り替え回路から出力されることを特徴とする表示装置。

【請求項 7】

複数の画素とソース信号線駆動回路とを有する表示装置であって、

前記ソース信号線駆動回路に入力されるビデオ信号のうち、上位ビットのビデオ信号のみが前記複数の画素に入力されることを特徴とする表示装置。

【請求項 8】

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記ソース信号線駆動回路は、シフトレジスタと、第 1 のラッチと、第 2 のラッチと、クロック信号制御回路とを有しており、

前記クロック信号制御回路を介してクロック信号が前記シフトレジスタに入力されることによって、前記シフトレジスタからタイミング信号が出力され、

前記タイミング信号によって前記第 1 のラッチにビデオ信号が入力されて保持され、

ラッチ信号によって、前記第 1 のラッチに保持されたビデオ信号が前記第 2 のラッチに入力されて保持され、

前記第 2 のラッチに入力されて保持されたビデオ信号は、前記複数の画素に入力され、

前記クロック信号制御回路は、一定の期間、前記クロック信号の代わりに、一定の固定電位を前記シフトレジスタに与えることで、前記第 1 のラッチに入力して保持するビデオ信号のビット数を減らしていることを特徴とする表示装置。

【請求項 9】

請求項 8 において、

前記クロック信号制御回路は N A N D とインバーターとを有しており、

前記NANDにクロック信号と選択信号とが入力され、

前記NANDから出力された信号は前記インバーターを介して前記クロック信号制御回路から出力されることを特徴とする表示装置。

【請求項10】

請求項8において、

前記クロック信号制御回路は第1のアナログスイッチと、第2のアナログスイッチと、インバーターとを有しており、

前記インバーターを介して、前記第1のアナログスイッチの第2の制御入力端子及び前記第2のアナログスイッチの第1の制御入力端子に選択信号が入力され、

前記第1のアナログスイッチの第1の制御入力端子及び前記第2のアナログスイッチの第2の制御入力端子に選択信号が入力され、

前記第1のアナログスイッチの入力端子にクロック信号が入力され、

前記第2のアナログスイッチの入力端子に固定電位が与えられ、

前記第1のアナログスイッチ及び前記第2のアナログスイッチの出力端子から出力された信号は、前記クロック信号制御回路から出力されることを特徴とする表示装置。

【請求項11】

複数の画素を有する画素部と、ソース信号線駆動回路と、を有する表示装置であって、

前記ソース信号線駆動回路は、シフトレジスタと、第1のラッチと、第2のラッチと、タイミング信号制御回路とを有しており、

前記シフトレジスタから出力されたタイミング信号が前記タイミング信号制御回路を介して前記第1のラッチに入力され、

前記第1のラッチに入力された前記タイミング信号によって、前記第1のラッチにビデオ信号が入力されて保持され、

ラッチ信号によって、前記第1のラッチに保持されたビデオ信号が前記第2のラッチに入力されて保持され、

前記第2のラッチに入力されて保持されたビデオ信号は、前記複数の画素に入

力され、

前記タイミング信号制御回路は、一定の期間、前記シフトレジスタから出力された前記タイミング信号の代わりに、一定の固定電位を前記第 1 のラッチに与えることで、前記第 1 のラッチに入力して保持するビデオ信号のビット数を減らしていることを特徴とする表示装置。

【請求項 1 2】

請求項 1 1 において、

前記タイミング信号制御回路は N A N D とインバーターとを有しており、

前記 N A N D にタイミング信号と選択信号とが入力され、

前記 N A N D から出力された信号は前記インバーターを介して前記タイミング信号制御回路から出力されることを特徴とする表示装置。

【請求項 1 3】

請求項 1 1 において、

前記タイミング信号制御回路は第 1 のアナログスイッチと、第 2 のアナログスイッチと、インバーターとを有しており、

前記インバーターを介して、前記第 1 のアナログスイッチの第 2 の制御入力端子及び前記第 2 のアナログスイッチの第 1 の制御入力端子に選択信号が入力され

、  
前記第 1 のアナログスイッチの第 1 の制御入力端子及び前記第 2 のアナログスイッチの第 2 の制御入力端子に選択信号が入力され、

前記第 1 のアナログスイッチの入力端子にタイミング信号が入力され、

前記第 2 のアナログスイッチの入力端子に固定電位が与えられ、

前記第 1 のアナログスイッチ及び前記第 2 のアナログスイッチの出力端子から出力された信号は、前記タイミング信号制御回路から出力されることを特徴とする表示装置。

【請求項 1 4】

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記ソース信号線駆動回路は、シフトレジスタと、第 1 のラッチと、第 2 のラ

ッチと、スタートパルス信号制御回路とを有しており、

前記スタートパルス信号制御回路を介してスタートパルス信号が前記シフトレジスタに入力されることによって、前記シフトレジスタからタイミング信号が出力され、

前記タイミング信号によって前記第 1 のラッチにビデオ信号が入力されて保持され、

ラッチ信号によって、前記第 1 のラッチに保持されたビデオ信号が前記第 2 のラッチに入力されて保持され、

前記第 2 のラッチに入力されて保持されたビデオ信号は、前記複数の画素に入力され、

前記スタートパルス信号制御回路は、一定の期間、前記スタートパルス信号の代わりに、一定の固定電位を前記シフトレジスタに与えることで、前記第 1 のラッチに入力して保持するビデオ信号のビット数を減らしていることを特徴とする表示装置。

#### 【請求項 1 5】

請求項 1 4 において、

前記スタートパルス信号制御回路はNANDとインバーターとを有しており、

前記NANDにスタートパルス信号と選択信号とが入力され、

前記NANDから出力された信号は前記インバーターを介して前記スタートパルス信号制御回路から出力されることを特徴とする表示装置。

#### 【請求項 1 6】

請求項 1 4 において、

前記スタートパルス信号制御回路は第 1 のアナログスイッチと、第 2 のアナログスイッチと、インバーターとを有しており、

前記インバーターを介して、前記第 1 のアナログスイッチの第 2 の制御入力端子及び前記第 2 のアナログスイッチの第 1 の制御入力端子に選択信号が入力され、

前記第 1 のアナログスイッチの第 1 の制御入力端子及び前記第 2 のアナログスイッチの第 2 の制御入力端子に選択信号が入力され、



前記第 1 のアナログスイッチの入力端子にスタートパルス信号が入力され、

前記第 2 のアナログスイッチの入力端子に固定電位が与えられ、

前記第 1 のアナログスイッチ及び前記第 2 のアナログスイッチの出力端子から出力された信号は、前記スタートパルス信号制御回路から出力されることを特徴とする表示装置。

【請求項 1 7】

複数の E L 素子を有する複数の画素と、モニター用 E L 素子とを有する表示装置であって、前記モニター用 E L 素子の温度特性を用いて前記複数の E L 素子を通る電流の温度による変動を小さくすることを特徴とする表示装置。

【請求項 1 8】

複数の画素を有する画素部と、電源供給線と、バッファアンプと、モニター用 E L 素子と、定電流源とを有する表示装置であって、

前記複数の画素は薄膜トランジスタと E L 素子をそれぞれ有しており、

前記モニター用 E L 素子及び前記 E L 素子は第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極との間に設けられた E L 層とをそれぞれ有しており、

前記モニター用 E L 素子の第 1 の電極と前記定電流源とは接続されており、

前記モニター用 E L 素子の第 1 の電極と前記バッファアンプの非反転入力端子が接続されており、

前記バッファアンプの出力端子は前記電源供給線に接続されており、

前記電源供給線の電位は前記薄膜トランジスタを介して前記 E L 素子の第 1 の電極に与えられていることを特徴とする表示装置。

【請求項 1 9】

複数の画素を有する画素部と、電源供給線と、バッファアンプと、モニター用 E L 素子と、定電流源と、加算回路とを有する表示装置であって、

前記複数の画素は薄膜トランジスタと E L 素子をそれぞれ有しており、

前記モニター用 E L 素子及び前記 E L 素子は第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極との間に設けられた E L 層とをそれぞれ有しており、

前記モニター用 E L 素子の第 1 の電極と前記定電流源とは接続されており、  
前記モニター用 E L 素子の第 1 の電極と前記バッファアンプの非反転入力端子が接続されており、

前記バッファアンプの出力端子は加算回路の入力端子に接続されており、  
前記加算回路の出力端子は前記電源供給線に接続されており、  
前記加算回路の入力端子と出力端子とは、常に一定の電位差を有しており、  
前記電源供給線の電位は前記薄膜トランジスタを介して前記 E L 素子の第 1 の電極に与えられていることを特徴とする表示装置。

#### 【請求項 2 0】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の前記表示装置を用いることを特徴とするビデオカメラ。

#### 【請求項 2 1】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の前記表示装置を用いることを特徴とする画像再生装置。

#### 【請求項 2 2】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の前記表示装置を用いることを特徴とするヘッドマウントディスプレイ。

#### 【請求項 2 3】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の前記表示装置を用いることを特徴とする携帯電話。

#### 【請求項 2 4】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の前記表示装置を用いることを特徴とする携帯情報端末。

#### 【発明の詳細な説明】

##### 【 0 0 0 1】

#### 【発明の属する技術分野】

本発明は E L (エレクトロルミネッセンス) 素子を基板上に作り込んで形成された電子ディスプレイ (表示装置) に関する。特に半導体素子 (半導体薄膜を用いた素子) を用いた E L ディスプレイに関する。また E L ディスプレイを表示部

に用いた電子機器に関する。

【 0 0 0 2 】

【従来の技術】

近年、基板上に T F T を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いた T F T は、従来のアモルファスシリコン膜を用いた T F T よりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【 0 0 0 3 】

このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【 0 0 0 4 】

そしてさらに、自発光型素子として E L 素子を有したアクティブマトリクス型の E L ディスプレイの研究が活発化している。E L ディスプレイは有機 E L ディスプレイ（O E L D : Organic EL Display）又は有機ライトエミッティングダイオード（O L E D : Organic Light Emitting Diode）とも呼ばれている。

【 0 0 0 5 】

E L ディスプレイは、液晶ディスプレイと異なり自発光型である。E L 素子是一对の電極（陽極と陰極）間に E L 層が挟まれた構造となっているが、E L 層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーの Tang らが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている E L ディスプレイは殆どこの構造を採用している。

【 0 0 0 6 】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

## 【0007】

本明細書において陰極と陽極の間に設けられる全ての層を総称してEL層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てEL層に含まれる。

## 【0008】

そして、上記構造でなるEL層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてEL素子が発光することを、EL素子が駆動すると呼ぶ。また、本明細書中では、陽極、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

## 【0009】

【発明が解決しようとする課題】

ELディスプレイはバックライトを用いる必要がないことから、液晶ディスプレイに比べて、ディスプレイ自身の厚さと重さを抑えることができる。そのため近年、ELディスプレイは液晶ディスプレイに代わり、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）の表示部に用いられるようになっている。

## 【0010】

そして携帯情報端末の消費電力を抑えるために、表示部に用いるELディスプレイの消費電力を抑えることが望まれていた。

## 【0011】

また近年、テレビやラジオなどの放送局側のデジタル化に加え、家庭用の受信機やVTRなどもデジタル化が進んでいる。そして放送システムのデジタル化の次の段階は、放送電波のデジタル化、すなわちデジタル放送の実現であり、これに向けて盛んに研究開発が行われている。

## 【0012】

ELディスプレイのデジタル駆動には時間階調表示がある。時間階調表示とは1フレーム期間中にEL素子が発光する時間を制御することで階調表示を行う方法である。

## 【0013】



E Lディスプレイをデジタル駆動で時間階調表示させた場合、表示する画像の階調数を高くすると、画素に入力される画像情報を有するデジタルのビデオ信号信号（デジタルビデオ信号）が書き換えられる回数が多くなる。そのため画素にデジタルビデオ信号を入力するための駆動回路群の消費電力が大きくなってしまい、E Lディスプレイの消費電力が大きくなる。

【 0 0 1 4 】

またE L素子は自発光素子であるため、表示する画像によってE L素子が1フレーム期間中に発光する期間が左右される。そのためE Lディスプレイの消費電力は、表示する画像によって左右される。

【 0 0 1 5 】

またさらにE L素子を流れる電流の大きさは、温度によっても左右される。E L素子の電極間にかかる電圧が同じであっても、E L素子が有する温度特性によって、E L層の温度が高くなれば高くなるほど、E L素子を流れる電流は大きくなる。よってE Lディスプレイを使用する環境温度が高ければ高いほど、E Lディスプレイの消費電力が大きくなり、E L素子の輝度も上昇してしまう。

【 0 0 1 6 】

本発明は上述したことに鑑み、E Lディスプレイ及びE Lディスプレイを表示部に用いる電子機器の消費電力を抑えることを課題とする。

【 0 0 1 7 】

【課題を解決するための手段】

本発明の第1の構成は、E Lディスプレイにおいて、モノクロの表示を行う場合、画素部に表示される画像によって画像の明暗を反転させることを特徴とする。

【 0 0 1 8 】

上記構成によって、E L素子に流れる電流の大きさのある程度抑えることができ、E Lディスプレイの消費電力を抑えることができる。

【 0 0 1 9 】

また本発明の第2の構成は、デジタル駆動の時分割階調表示を行うE Lディスプレイにおいて、E Lディスプレイが有するソース信号線駆動回路に入力された

デジタルビデオ信号を、そのビット数を落としてから画素部に入力することを特徴とする。具体的には、最下位ビットのデジタルビデオ信号から順に切り捨てることによって、画素部に入力されるデジタルビデオ信号のビット数を落としてゆく。

#### 【 0 0 2 0 】

上記構成によって、画素に入力されるデジタルビデオ信号のビット数が少なくなるので、ソース信号線駆動回路及びゲート信号線駆動回路によってデジタルビデオ信号が画素に書き込まれる回数が少なくなる。そのためソース信号線駆動回路及びゲート信号線駆動回路の消費電力を抑えることができ、ELディスプレイの消費電力も抑えることができる。

#### 【 0 0 2 1 】

また本発明の第3の構成では、ELディスプレイに温度モニター用のEL素子を設ける。そして温度モニター用のEL素子の一方の電極を定電流源に接続する。そしてモニター用のEL素子の温度特性を用いて、画素のEL素子を流れる電流の大きさを一定に保つ。

#### 【 0 0 2 2 】

上記構成によって、EL層の温度が変化しても画素のEL素子を流れる電流の大きさを一定に保つことができる。よってELディスプレイの環境温度が上昇し、ELディスプレイの消費電力が大きくなるのを抑えることができ、輝度も一定に保つことができる。

#### 【 0 0 2 3 】

本発明は上述した第1から第3の構成によって、ELディスプレイ及び該ELディスプレイを用いた電子機器の消費電力を抑えることが可能である。なお本発明は、第1から第3の構成のいずれか1つを有していればよい。また第1から第3の構成のうちの複数の構成を有していても良いし、全てを有していても良い。

#### 【 0 0 2 4 】

以下に本発明の構成を示す。

#### 【 0 0 2 5 】

本発明によって、

複数の画素を有する表示装置であって、

前記複数の画素に入力されるデジタルビデオ信号の極性を反転することによって、前記複数の画素の輝度を変えることを特徴とする表示装置が提供される。

【 0 0 2 6 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記ソース信号線駆動回路は出力の極性を切り替える切り替え回路を有しており、

前記切り替え回路に入力されたデジタルビデオ信号は、前記切り替え回路に入力される切り替え信号によって極性が反転し、前記複数の画素に入力することを特徴とする表示装置が提供される。

【 0 0 2 7 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記複数の画素は E L 素子をそれぞれ有しており、

前記ソース信号線駆動回路はシフトレジスタと、1つまたは複数のラッチと、切り替え回路とを有しており、

前記1つまたは複数のラッチから前記切り替え回路に入力されたデジタルビデオ信号は、前記切り替え回路に入力される切り替え信号によって極性が反転し、前記複数の画素に入力することを特徴とする表示装置が提供される。

【 0 0 2 8 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記複数の画素は E L 素子をそれぞれ有しており、

前記ソース信号線駆動回路はシフトレジスタと、1つまたは複数のラッチと、切り替え回路とを有しており、

前記 1 つまたは複数のラッチから前記切り替え回路に入力されたデジタルビデオ信号は、前記切り替え回路に入力される切り替え信号によって極性が反転し、前記複数の画素に入力しており、

1 フレーム期間中における全ての前記 EL 素子の発光する期間の長さの平均が、1 フレーム期間中における全ての前記 EL 素子の発光する期間の長さの最大値の半分以下であることを特徴とする表示装置が提供される。

【 0 0 2 9 】

前記切り替え回路はインバーターと、第 1 のアナログスイッチと、第 2 のアナログスイッチとを有しており、

前記切り替え回路に入力されたデジタルビデオ信号は、前記インバーターを介して前記第 1 のアナログスイッチの入力端子に入力し、

また前記 1 つまたは複数のラッチから出力されたデジタルビデオ信号は、前記第 2 のアナログスイッチの入力端子に入力し、

切り替え信号が前記第 1 のアナログスイッチの第 1 の制御入力端子及び前記第 2 のアナログスイッチの第 2 の制御入力端子から入力し、

前記切り替え信号の極性が反転した信号が前記第 1 のアナログスイッチの第 2 の制御入力端子及び前記第 1 のアナログスイッチの第 2 の制御入力端子から入力し、

前記前記第 1 のアナログスイッチ及び前記第 2 のアナログスイッチの出力端子から出力される信号が、前記切り替え回路から出力されることを特徴としていても良い。

【 0 0 3 0 】

前記切り替え回路はインバーターと、第 1 の NAND と、第 2 の NAND と、第 3 の NAND とを有しており、

前記第 1 の NAND に、切り替え信号と、前記インバーターを介してデジタルビデオ信号とが入力され、

前記第 2 の NAND に、前記切り替え信号の極性を反転させた信号と、前記デジタルビデオ信号とが入力され、

前記第 1 の NAND から出力された信号と、前記第 2 の NAND から出力され



た信号とが前記第 3 の N A N D に入力され、

前記第 3 の N A N D から出力された信号が前記切り替え回路から出力されることを特徴としていても良い。

【 0 0 3 1 】

本発明によって、

複数の画素とソース信号線駆動回路とを有する表示装置であって、

前記ソース信号線駆動回路に入力されるデジタルビデオ信号のうち、上位ビットのデジタルビデオ信号のみが前記複数の画素に入力されることを特徴とする表示装置が提供される。

【 0 0 3 2 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記ソース信号線駆動回路は、シフトレジスタと、第 1 のラッチと、第 2 のラッチと、クロック信号制御回路とを有しており、

前記クロック信号制御回路を介してクロック信号が前記シフトレジスタに入力されることによって、前記シフトレジスタからタイミング信号が出力され、

前記タイミング信号によって前記第 1 のラッチにデジタルビデオ信号が入力されて保持され、

ラッチ信号によって、前記第 1 のラッチに保持されたデジタルビデオ信号が前記第 2 のラッチに入力されて保持され、

前記第 2 のラッチに入力されて保持されたデジタルビデオ信号は、前記複数の画素に入力され、

前記クロック信号制御回路は、一定の期間、前記クロック信号の代わりに、一定の固定電位を前記シフトレジスタに与えることで、前記第 1 のラッチに入力して保持するデジタルビデオ信号のビット数を減らしていることを特徴とする表示装置が提供される。

【 0 0 3 3 】

前記クロック信号制御回路は N A N D とインバーターとを有しており、

前記NANDにクロック信号と選択信号とが入力され、

前記NANDから出力された信号は前記インバーターを介して前記クロック信号制御回路から出力されることを特徴としても良い。

【 0 0 3 4 】

前記クロック信号制御回路は第1のアナログスイッチと、第2のアナログスイッチと、インバーターとを有しており、

前記インバーターを介して、前記第1のアナログスイッチの第2の制御入力端子及び前記第2のアナログスイッチの第1の制御入力端子に選択信号が入力され、

前記第1のアナログスイッチの第1の制御入力端子及び前記第2のアナログスイッチの第2の制御入力端子に選択信号が入力され、

前記第1のアナログスイッチの入力端子にクロック信号が入力され、

前記第2のアナログスイッチの入力端子に固定電位が与えられ、

前記第1のアナログスイッチ及び前記第2のアナログスイッチの出力端子から出力された信号は、前記クロック信号制御回路から出力されることを特徴としても良い。

【 0 0 3 5 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、を有する表示装置であって、

前記ソース信号線駆動回路は、シフトレジスタと、第1のラッチと、第2のラッチと、タイミング信号制御回路とを有しており、

前記シフトレジスタから出力されたタイミング信号が前記タイミング信号制御回路を介して前記第1のラッチに入力され、

前記第1のラッチに入力された前記タイミング信号によって、前記第1のラッチにデジタルビデオ信号が入力されて保持され、

ラッチ信号によって、前記第1のラッチに保持されたデジタルビデオ信号が前記第2のラッチに入力されて保持され、

前記第2のラッチに入力されて保持されたデジタルビデオ信号は、前記複数の

画素に入力され、

前記タイミング信号制御回路は、一定の期間、前記シフトレジスタから出力された前記タイミング信号の代わりに、一定の固定電位を前記第 1 のラッチに与えることで、前記第 1 のラッチに入力して保持するデジタルビデオ信号のビット数を減らしていることを特徴とする表示装置が提供される。

【 0 0 3 6 】

前記タイミング信号制御回路は N A N D とインバーターとを有しており、

前記 N A N D にタイミング信号と選択信号とが入力され、

前記 N A N D から出力された信号は前記インバーターを介して前記タイミング信号制御回路から出力されることを特徴としても良い。

【 0 0 3 7 】

前記タイミング信号制御回路は第 1 のアナログスイッチと、第 2 のアナログスイッチと、インバーターとを有しており、

前記インバーターを介して、前記第 1 のアナログスイッチの第 2 の制御入力端子及び前記第 2 のアナログスイッチの第 1 の制御入力端子に選択信号が入力され、

前記第 1 のアナログスイッチの第 1 の制御入力端子及び前記第 2 のアナログスイッチの第 2 の制御入力端子に選択信号が入力され、

前記第 1 のアナログスイッチの入力端子にタイミング信号が入力され、

前記第 2 のアナログスイッチの入力端子に固定電位が与えられ、

前記第 1 のアナログスイッチ及び前記第 2 のアナログスイッチの出力端子から出力された信号は、前記タイミング信号制御回路から出力されることを特徴としても良い。

【 0 0 3 8 】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記ソース信号線駆動回路は、シフトレジスタと、第 1 のラッチと、第 2 のラッチと、スタートパルス信号制御回路とを有しており、

前記スタートパルス信号制御回路を介してスタートパルス信号が前記シフトレジスタに入力されることによって、前記シフトレジスタからタイミング信号が出力され、

前記タイミング信号によって前記第 1 のラッチにデジタルビデオ信号が入力されて保持され、

ラッチ信号によって、前記第 1 のラッチに保持されたデジタルビデオ信号が前記第 2 のラッチに入力されて保持され、

前記第 2 のラッチに入力されて保持されたデジタルビデオ信号は、前記複数の画素に入力され、

前記スタートパルス信号制御回路は、一定の期間、前記スタートパルス信号の代わりに、一定の固定電位を前記シフトレジスタに与えることで、前記第 1 のラッチに入力して保持するデジタルビデオ信号のビット数を減らしていることを特徴とする表示装置が提供される。

#### 【 0 0 3 9 】

前記スタートパルス信号制御回路は N A N D とインバーターとを有しており、前記 N A N D にスタートパルス信号と選択信号とが入力され、

前記 N A N D から出力された信号は前記インバーターを介して前記スタートパルス信号制御回路から出力されることを特徴としても良い。

#### 【 0 0 4 0 】

前記スタートパルス信号制御回路は第 1 のアナログスイッチと、第 2 のアナログスイッチと、インバーターとを有しており、

前記インバーターを介して、前記第 1 のアナログスイッチの第 2 の制御入力端子及び前記第 2 のアナログスイッチの第 1 の制御入力端子に選択信号が入力され、

前記第 1 のアナログスイッチの第 1 の制御入力端子及び前記第 2 のアナログスイッチの第 2 の制御入力端子に選択信号が入力され、

前記第 1 のアナログスイッチの入力端子にスタートパルス信号が入力され、

前記第 2 のアナログスイッチの入力端子に固定電位が与えられ、

前記第 1 のアナログスイッチ及び前記第 2 のアナログスイッチの出力端子から

出力された信号は、前記スタートパルス信号制御回路から出力されることを特徴としていても良い。

## 【 0 0 4 1 】

本発明によって、

複数の E L 素子を有する複数の画素と、モニター用 E L 素子とを有する表示装置であって、前記モニター用 E L 素子の温度特性を用いて前記複数の E L 素子を通る電流の大きさを一定に保つことを特徴とする表示装置が提供される。

## 【 0 0 4 2 】

本発明によって、

複数の画素を有する画素部と、電源供給線と、バッファアンプと、モニター用 E L 素子と、定電流源とを有する表示装置であって、

前記複数の画素は薄膜トランジスタと E L 素子をそれぞれ有しており、

前記モニター用 E L 素子及び前記 E L 素子は第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極との間に設けられた E L 層とをそれぞれ有しており、

前記モニター用 E L 素子の第 1 の電極と前記定電流源とは接続されており、

前記モニター用 E L 素子の第 1 の電極と前記バッファアンプの非反転入力端子が接続されており、

前記バッファアンプの出力端子は前記電源供給線に接続されており、

前記電源供給線の電位は前記薄膜トランジスタを介して前記 E L 素子の第 1 の電極に与えられていることを特徴とする表示装置が提供される。

## 【 0 0 4 3 】

本発明によって、

複数の画素を有する画素部と、電源供給線と、バッファアンプと、モニター用 E L 素子と、定電流源と、加算回路とを有する表示装置であって、

前記複数の画素は薄膜トランジスタと E L 素子をそれぞれ有しており、

前記モニター用 E L 素子及び前記 E L 素子は第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極との間に設けられた E L 層とをそれぞれ有しており、

前記モニター用 E L 素子の第 1 の電極と前記定電流源とは接続されており、  
 前記モニター用 E L 素子の第 1 の電極と前記バッファアンプの非反転入力端子  
 が接続されており、  
 前記バッファアンプの出力端子は加算回路の入力端子に接続されており、  
 前記加算回路の出力端子は前記電源供給線に接続されており、  
 前記加算回路の入力端子と出力端子とは、常に一定の電位差を有しており、  
 前記電源供給線の電位は前記薄膜トランジスタを介して前記 E L 素子の第 1 の  
 電極に与えられていることを特徴とする表示装置が提供される。

【 0 0 4 4 】

本発明は、前記表示装置を用いることを特徴とするビデオカメラ、画像再生装  
 置、ヘッドマウントディスプレイ、携帯電話または携帯情報端末であっても良い  
 。

【 0 0 4 5 】

【発明の実施の形態】

(実施の形態 1)

本発明の第 1 の構成について説明する。本発明の第 1 の構成を有する E L ディ  
 スプレイのブロック図を、図 1 に示す。

【 0 0 4 6 】

1 0 1 は画素部であり、複数の画素がマトリクス状に設けられている。1 0 2  
 はソース信号線駆動回路であって、1 0 3 はゲート信号線駆動回路である。

【 0 0 4 7 】

ソース信号線駆動回路 1 0 2 はシフトレジスタ 1 0 2 - 1、ラッチ (A) 1 0  
 2 - 2、ラッチ (B) 1 0 2 - 3、切り替え回路 1 0 2 - 4 を有している。なお  
 本発明のソース信号線駆動回路は、上述したものの他にレベルシフトやバッファ  
 等を有していても良い。

【 0 0 4 8 】

また図示しないが、ゲート信号線駆動回路 1 0 3 はシフトレジスタ、バッファ  
 を有している。また場合によっては、シフトレジスタ、バッファの他にレベルシ  
 フトを有していても良い。ゲート信号線には、1 ライン分の画素 T F T のゲート

電極が接続されており、1ライン分全ての画素TFTを同時にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

## 【0049】

ソース信号線駆動回路102において、シフトレジスタ102-1にクロック信号(CLK)およびスタートパルス(SP)が入力される。シフトレジスタ102-1は、これらのクロック信号(CLK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、後段の回路へタイミング信号を順次供給する。

## 【0050】

なお、シフトレジスタ102-1から出力されるタイミング信号をバッファ等(図示せず)を通して後段の回路へタイミング信号を順次供給しても良い。シフトレジスタ102-1からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの”鈍り”を防ぐために、このバッファが設けられる。

## 【0051】

シフトレジスタ102-1から出力されたタイミング信号は、ラッチ(A)102-2に供給される。ラッチ(A)102-2は、nビットのデジタルビデオ信号(n bit digital video signals)を処理する複数のステージのラッチを有している。ラッチ(A)102-2は、前記タイミング信号が入力されると、ソース信号線駆動回路102の外部から供給されるnビットのデジタルビデオ信号を順次取り込み、保持する。

## 【0052】

なお、ラッチ(A)102-2にデジタルビデオ信号を取り込む際に、ラッチ(A)102-2が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ(A)102-2が有する複数のステージのラッチをいくつかのグループに分け、グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っ

ても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動するという。

## 【 0 0 5 3 】

ラッチ (A) 1 0 2 - 2 の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの期間を、ライン期間と呼ぶ。すなわち、ラッチ (A) 1 0 2 - 2 中で一番左側のステージのラッチにデジタルビデオ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルビデオ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

## 【 0 0 5 4 】

1 ライン期間が終了すると、ラッチ (B) 1 0 2 - 3 にラッチ信号 (Latch Signals) が供給される。この瞬間、ラッチ (A) 1 0 2 - 2 に書き込まれ保持されているデジタルビデオ信号は、ラッチ (B) 1 0 2 - 3 に一斉に送出され、ラッチ (B) 1 0 2 - 3 の全ステージのラッチに書き込まれ、保持される。

## 【 0 0 5 5 】

デジタルビデオ信号をラッチ (B) 1 0 2 - 3 に送出し終えたラッチ (A) 1 0 2 - 2 には、シフトレジスタ 1 0 2 - 1 からのタイミング信号に基づき、再びソース信号線駆動回路 1 0 2 の外部から供給されるデジタルビデオ信号の書き込みが順次行われる。

## 【 0 0 5 6 】

この2順目の1ライン期間中には、ラッチ (B) 1 0 2 - 2 に書き込まれ保持されているデジタルビデオ信号が、一斉に切り替え回路 1 0 2 - 4 に入力される。切り替え回路 1 0 2 - 4 は、切り替え信号 (Shift Signals) によって、ラッチ (B) 1 0 2 - 2 から入力されたデジタルビデオ信号の極性を反転させて、もしくは反転させずに出力する。

## 【 0 0 5 7 】

デジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方がHi、一方がLoの電圧を有する信号である。デジタルビデオ信号の極性を反転させるとは、「0」の情報を有するデジタル



ビデオ信号を「1」の情報を有するデジタルビデオ信号に変換し、「1」の情報を有するデジタルビデオ信号を「0」の情報を有するデジタルビデオ信号に変換することを意味する。

## 【0058】

なお切り替え信号は、ラッチ（B）102-2から入力されたデジタルビデオ信号の極性を反転させるか、させないかを選択する信号である。1フレーム期間中における全てのEL素子の発光する期間の長さの平均が、画素部101に全白を表示させたときの1フレーム期間中におけるEL素子の発光する期間の長さの半分よりも長くなったとき、切り替え信号によってデジタルビデオ信号の極性を反転させることで、消費電力を低減できる。逆に、1フレーム期間中における全てのEL素子の発光する期間の長さの平均が、画素部101に全白を表示させたときの1フレーム期間中におけるEL素子の発光する期間の長さの半分よりも短くなったとき、切り替え信号によってデジタルビデオ信号の極性を反転させない方が消費電力を抑えることができる。

## 【0059】

なお、切り替え信号によってデジタルビデオ信号の極性を反転させるかさせないかは、使用者が選択しても良いし、表示される画像によって自動的に選択されるようにしても良い。

## 【0060】

切り替え回路102-4から出力されたデジタルビデオ信号は、ソース信号線に入力される。

## 【0061】

一方、ゲート信号線駆動回路103において、シフトレジスタ（図示せず）からのゲート信号がバッファ（図示せず）に入力され、対応するゲート信号線（走査線とも呼ぶ）に入力される。

## 【0062】

ゲート信号線に入力されたゲート信号によって、ソース信号線に入力されたデジタルビデオ信号が画素に入力される。

## 【0063】

なお本発明において、ソース信号線駆動回路 1 0 2 とゲート信号線駆動回路 1 0 3 とは、画素部 1 0 1 と同じ基板上に形成されていても良いし、I C チップ上に形成して F P C または T A B を介して画素部 1 0 1 と接続されていても良い。

【 0 0 6 4 】

本実施の形態の上記構成によって、デジタル駆動の時分割階調表示を行う E L ディスプレイがモノクロの表示を行う場合、画素部に表示される画像によって画像の明暗を反転させることができる。具体的には、1 フレーム期間中における全ての E L 素子の発光する期間の長さの平均が、画素部 1 0 1 に全白を表示させたときの 1 フレーム期間中における E L 素子の発光する期間の長さの半分よりも長くなるような場合、画素部に表示される画像の明暗を反転させれば良い。逆に、1 フレーム期間中における全ての E L 素子の発光する期間の長さの平均が、画素部 1 0 1 に全白を表示させたときの 1 フレーム期間中における E L 素子の発光する期間の長さの半分よりも短くなったときは、画素部に表示される画像の明暗を反転させない方がよい。

【 0 0 6 5 】

なお、本実施の形態では、ソース信号線駆動回路の中に切り換え回路が含まれている構成を有しているが、切り換え回路はソース信号線駆動回路に含まれていなくても良い。

【 0 0 6 6 】

また、本実施の形態ではデジタルビデオ信号を用いた場合についてのみ説明したが、本発明はデジタルビデオ信号だけではなく、アナログのビデオ信号にも適用することが可能である。

【 0 0 6 7 】

よって、本発明の第 1 の構成によって E L 素子に流れる電流の大きさのある程度抑えることができ、E L ディスプレイの消費電力を抑えることができる。

【 0 0 6 8 】

(実施の形態 2)

次に、本発明の第 2 の構成について説明する。本発明の第 2 の構成を有する E L ディスプレイのブロック図を、図 2 に示す。なお図 1 で示したものと同一もの



は、図 1 と同じ符号で示す。

【 0 0 6 9 】

本実施の形態の E L ディスプレイは、クロック信号制御回路 1 0 6 によって、クロック信号 ( C L K ) の代わりに、一定の電位をシフトレジスタ 1 0 2 - 1 に与えることを可能にした。

【 0 0 7 0 】

具体的には、 $m$  ビット目 ( $m$  は 1 から  $n$  までの任意の整数) から  $n$  ビット目までの下位ビットのデジタルビデオ信号をラッチ ( A ) 1 0 2 - 2 に書き込むためのタイミング信号だけがラッチ ( A ) 1 0 2 - 2 に入力しないように、一定の期間クロック信号制御回路 1 0 6 によってクロック信号の代わりに、一定の電位 ( 固定電位 ) をシフトレジスタ 1 0 2 - 1 に入力させるようにした。よってソース信号線駆動回路 1 0 2 の外部から入力されたデジタルビデオ信号  $n$  ビットのうち、1 ビット目から  $(m-1)$  ビット目までの上位ビットのデジタルビデオ信号のみをラッチ ( A ) 1 0 2 - 2 に書き込むことができる。

【 0 0 7 1 】

なお本実施の形態の E L ディスプレイは、図 1 とは異なり、ソース信号線駆動回路 1 0 2 が切り替え回路 1 0 2 - 4 を有していない。そのため、ラッチ ( B ) 1 0 2 - 3 に書き込まれて保持されているデジタルビデオ信号は、ラッチ ( B ) 1 0 2 - 3 に入力されるラッチ信号によってソース信号線に入力される。

【 0 0 7 2 】

本実施の形態では、デジタル駆動の時分割階調表示を行う E L ディスプレイにおいて、E L ディスプレイが有するソース信号線駆動回路に入力されたデジタルビデオ信号を、そのビット数を落としてから画素部に入力している。具体的には、最下位ビットのデジタルビデオ信号から順に切り捨てることによって、画素部に入力されるデジタルビデオ信号のビット数を落としてゆく。

【 0 0 7 3 】

上記構成によって、画素に入力されるデジタルビデオ信号のビット数が少なくなるので、ソース信号線駆動回路及びゲート信号線駆動回路によってデジタルビデオ信号が画素に書き込まれる回数が少なくなる。そのためソース信号線駆動回

路及びゲート信号線駆動回路の消費電力を抑えることができ、E Lディスプレイの消費電力も抑えることができる。

【 0 0 7 4 】

なお本実施の形態において、クロック信号制御回路 1 0 6 は、画素部 1 0 1 と同じ基板上に形成されていても良いし、I Cチップ上に形成されていても良い。

【 0 0 7 5 】

(実施の形態 3)

次に、本発明の第 2 の構成の、実施の形態 2 とは異なる例について説明する。本発明の第 2 の構成を有する E Lディスプレイのブロック図を、図 3 に示す。なお図 1 で示したものと同一ものは、図 1 と同じ符号で示す。

【 0 0 7 6 】

本実施の形態の E Lディスプレイは、タイミング信号制御回路 1 0 7 によって、シフトレジスタ 1 0 2 - 1 から出力されるタイミング信号の代わりに、一定の電位をラッチ (A) 1 2 0 - 2 に与えることができるようにした。

【 0 0 7 7 】

具体的には、mビット目 (mは1からnまでの任意の整数) からnビット目までの下位ビットのデジタルビデオ信号をラッチ (A) 1 0 2 - 2 に書き込むためのタイミング信号だけがラッチ (A) 1 0 2 - 2 に入力しないように、一定の期間タイミング信号制御回路 1 0 7 によってシフトレジスタ 1 0 2 - 1 から出力されるタイミング信号の代わりに、一定の電位 (固定電位) をラッチ (A) 1 2 0 - 2 に与えるようにした。よってソース信号線駆動回路 1 0 2 の外部から入力されたデジタルビデオ信号 nビットのうち、1ビット目から (m-1) ビット目までの上位ビットのデジタルビデオ信号のみをラッチ (A) 1 0 2 - 2 に書き込むことができる。

【 0 0 7 8 】

なお本実施の形態において固定電位は、ラッチ (A) 1 2 0 - 2 にデジタルビデオ信号が書き込まれないような電位であることが必要である。

【 0 0 7 9 】

本実施の形態では、デジタル駆動の時分割階調表示を行う E Lディスプレイに

において、ELディスプレイが有するソース信号線駆動回路に入力されたデジタルビデオ信号を、そのビット数を落としてから画素部に入力している。具体的には、最下位ビットのデジタルビデオ信号から順に切り捨てることによって、画素部に入力されるデジタルビデオ信号のビット数を落としてゆく。

## 【0080】

上記構成によって、画素に入力されるデジタルビデオ信号のビット数が少なくなるので、ソース信号線駆動回路及びゲート信号線駆動回路によってデジタルビデオ信号が画素に書き込まれる回数が少なくなる。そのためソース信号線駆動回路及びゲート信号線駆動回路の消費電力を抑えることができ、ELディスプレイの消費電力も抑えることができる。

## 【0081】

なお本実施の形態において、タイミング信号制御回路107は、画素部101と同じ基板上に形成されていても良いし、ICチップ上に形成されていても良い。

## 【0082】

## (実施の形態4)

次に、本発明の第2の構成の、実施の形態2及び3とは異なる例について説明する。本発明の第2の構成を有するELディスプレイのブロック図を、図4に示す。なお図1で示したものと同一ものは、図1と同じ符号で示す。

## 【0083】

本実施の形態のELディスプレイは、スタートパルス信号制御回路108によって、スタートパルス信号(SP)の代わりに、一定の電位をシフトレジスタ120-1に与えることができるようにした。

## 【0084】

具体的には、mビット目(mは1からnまでの任意の整数)からnビット目までの下位ビットのデジタルビデオ信号をラッチ(A)102-2に書き込むためのタイミング信号だけがラッチ(A)102-2に入力しないように、一定の期間スタートパルス信号制御回路108によってスタートパルス信号の代わりに一定の電位(固定電位)をシフトレジスタ102-1に与えるようにした。よって

ソース信号線駆動回路 1 0 2 の外部から入力されたデジタルビデオ信号  $n$  ビットのうち、1 ビット目から  $(m-1)$  ビット目までの上位ビットのデジタルビデオ信号のみをラッチ (A) 1 0 2 - 2 に書き込むことができる。

## 【 0 0 8 5 】

なお本実施の形態において固定電位は、シフトレジスタ 1 0 2 - 1 からタイミング信号が出力されないような電位であることが必要である。

## 【 0 0 8 6 】

本実施の形態では、デジタル駆動の時分割階調表示を行う E L ディスプレイにおいて、E L ディスプレイが有するソース信号線駆動回路に入力されたデジタルビデオ信号を、そのビット数を落としてから画素部に入力している。具体的には、最下位ビットのデジタルビデオ信号から順に切り捨てることによって、画素部に入力されるデジタルビデオ信号のビット数を落としてゆく。

## 【 0 0 8 7 】

上記構成によって、画素に入力されるデジタルビデオ信号のビット数が少なくなるので、ソース信号線駆動回路及びゲート信号線駆動回路によってデジタルビデオ信号が画素に書き込まれる回数が少なくなる。そのためソース信号線駆動回路及びゲート信号線駆動回路の消費電力を抑えることができ、E L ディスプレイの消費電力も抑えることができる。

## 【 0 0 8 8 】

なお本実施の形態において、スタートパルス信号制御回路 1 0 8 は、画素部 1 0 1 と同じ基板上に形成されていても良いし、I C チップ上に形成されていても良い。

## 【 0 0 8 9 】

## (実施の形態 5)

次に、本発明の第 3 の構成について図 5 を用いて説明する。5 0 1 は電源供給線を示している。なお本明細書において電源供給線は、ソース信号線に入力されるデジタルビデオ信号によって画素部の E L 素子が有する電極の一方に所定の電位を与えるための配線である。本明細書では電源供給線の電位を電源電位と呼ぶ。

## 【 0 0 9 0 】

5 0 2 はバッファアンプ（緩衝増幅器）であり、5 0 3 はモニター用 E L 素子、5 0 4 は定電流源である。モニター用 E L 素子 5 0 3 の一方の電極は定電流源 5 0 4 に接続されており、モニター用 E L 素子 5 0 3 には常に一定の電流が流れている。そして E L 素子が有する E L 層の温度が変化すると、モニター用 E L 素子 5 0 3 を流れる電流の大きさが変化しないかわりに、定電流源 5 0 4 に接続されているモニター用 E L 素子 5 0 3 の電極の電位が変化する。

## 【 0 0 9 1 】

一方バッファアンプ 5 0 2 は 2 つの入力端子と 1 つの出力端子とを有しており、2 つの入力端子のうち一方は非反転入力端子（+）、もう一方は反転入力端子（-）である。モニター用 E L 素子 5 0 3 の一方の電極の電位は、バッファアンプ 5 0 2 の非反転入力端子に与えられる。

## 【 0 0 9 2 】

バッファアンプは、定電流源 5 0 4 に接続されたモニター用 E L 素子 5 0 3 の電極の電位が、電源供給線 5 0 1 の配線容量等の負荷によって変化するのを防ぐ回路である。よってバッファアンプ 5 0 2 の非反転入力端子に与えられた電位は、電源供給線 5 0 1 の配線容量等の負荷によって変化することなく出力端子から出力され、電源電位として電源供給線に与えられる。

## 【 0 0 9 3 】

よって、環境温度の変化により、モニター用 E L 素子 5 0 3 または画素部の E L 素子の E L 層の温度が変化しても、E L 素子に一定の電流が流れるように電源電位が変化する。よって E L ディスプレイの環境温度が上昇しても、E L ディスプレイの消費電力が大きくなるのを抑えることができる。

## 【 0 0 9 4 】

なお本実施の形態において、バッファアンプ 5 0 2、モニター用 E L 素子 5 0 3、定電流源 5 0 4 は、画素部と同じ基板上に形成されていても良いし、I C チップ上に形成されていても良い。またモニター用 E L 素子 5 0 3 は画素部の中にも含まれていても良いし、画素部とは別個に設けても良い。

## 【 0 0 9 5 】

本発明は上述した第1から第3の構成によって、ELディスプレイ及び該ELディスプレイを用いた電子機器の消費電力を抑えることが可能である。なお本発明は、第1から第3の構成のいずれか1つを有していればよい。また第1から第3の構成のうちの複数の構成を有していても良いし、全てを有していても良い。

【0096】

本発明は上記3つの構成によって、ELディスプレイの消費電力を抑えることが可能になる。

【0097】

【実施例】

以下に、本発明の実施例について説明する。

【0098】

(実施例1)

本実施例では、本発明のELディスプレイの画素部の構造とその駆動方法について説明する。

【0099】

本実施例のELディスプレイの画素部301の拡大図を図6に示す。ソース信号線(S1～Sx)、電源供給線(V1～Vx)、ゲート信号線(G1～Gy)が画素部301に設けられている。

【0100】

本実施例の場合、ソース信号線(S1～Sx)と、電源供給線(V1～Vx)と、ゲート信号線(G1～Gy)とを1つずつ備えた領域が画素304である。画素部301にはマトリクス状に複数の画素304が配置されることになる。

【0101】

画素304の拡大図を図7に示す。図7において、305はスイッチング用TFTである。スイッチング用TFT305のゲート電極は、ゲート信号線G(G1～Gx)に接続されている。スイッチング用TFT305のソース領域とドレイン領域は、一方がソース信号線S(S1～Sx)に、もう一方がEL駆動用TFT306のゲート電極、各画素が有するコンデンサ308にそれぞれ接続されている。



## 【 0 1 0 2 】

コンデンサ 3 0 8 はスイッチング用 T F T 3 0 5 が非選択状態（オフ状態）にある時、E L 駆動用 T F T 3 0 6 のゲート電圧（ゲート電極とソース領域間の電位差）を保持するために設けられている。なお本実施の形態ではコンデンサ 3 0 8 を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ 3 0 8 を設けない構成にしても良い。

## 【 0 1 0 3 】

また、E L 駆動用 T F T 3 0 6 のソース領域とドレイン領域は、一方が電源供給線 V（V 1 ～ V x）に接続され、もう一方は E L 素子 3 0 7 に接続される。電源供給線 V はコンデンサ 3 0 8 に接続されている。

## 【 0 1 0 4 】

E L 素子 3 0 7 は陽極と陰極と、陽極と陰極との間に設けられた E L 層とからなる。陽極が E L 駆動用 T F T 3 0 6 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が E L 駆動用 T F T 3 0 6 のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

## 【 0 1 0 5 】

E L 素子 3 0 7 の対向電極には対向電位が与えられている。また電源供給線 V は電源電位が与えられている。電源電位と対向電位は、本発明の E L ディスプレイに、外付けの I C 等により設けられた電源によって与えられる。

## 【 0 1 0 6 】

スイッチング用 T F T 3 0 5、E L 駆動用 T F T 3 0 6 は、n チャネル型 T F T でも p チャネル型 T F T でもどちらでも用いることができる。ただし E L 駆動用 T F T 3 0 6 のソース領域またはドレイン領域が E L 素子 3 0 7 の陽極と接続されている場合、E L 駆動用 T F T 3 0 6 は p チャネル型 T F T であることが望ましい。また、E L 駆動用 T F T 3 0 6 のソース領域またはドレイン領域が E L 素子 3 0 7 の陰極と接続されている場合、E L 駆動用 T F T 3 0 6 は n チャネル型 T F T であることが望ましい。

## 【 0 1 0 7 】

またスイッチング用TFT305、EL駆動用TFT306は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

## 【0108】

次に上述した構成を有する本発明のELディスプレイの駆動方法について、図8を用いて説明する。

## 【0109】

まず、電源供給線の電源電位はEL素子の対向電極の電位と同じになる。そしてゲート信号線G1に、ゲート信号線駆動回路からゲート信号が入力される。その結果、ゲート信号線G1に接続されている全ての画素（1ライン目の画素）のスイッチング用TFT305がオンの状態になる。

## 【0110】

そして同時に、ソース信号線（S1～Sx）にソース信号線駆動回路から、1ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用TFT305を介してEL駆動用TFT306のゲート電極に入力される。

## 【0111】

次にG1へのゲート信号の入力が終了すると同時に、ゲート信号線G2に同様にゲート信号が入力される。そしてゲート信号線G2に接続されている全ての画素のスイッチング用TFT305がオンの状態になり、2ライン目の画素にソース信号線（S1～Sx）から1ビット目のデジタルビデオ信号が入力される。

## 【0112】

そして順に、全てのゲート信号線（G1～Gx）にゲート信号が入力されていく。全てのゲート信号線（G1～Gx）が選択され、全てのラインの画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間Ta1である。

## 【0113】

書き込み期間Ta1が終了すると次に発光期間Tr1になる。発光期間Tr1では、電源供給線の電源電位は、電源電位がEL素子の画素電極に与えられたときにEL素子が発光する程度に、対向電極との間に電位差を有する電位になる。

## 【0114】

そして本実施例では、デジタルビデオ信号が「0」の情報を持っていた場合、EL駆動用TFT306はオフの状態となっている。よってEL素子307の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子307は発光しない。

## 【0115】

逆に、「1」の情報を有していた場合、EL駆動用TFT306はオンの状態となっている。よってEL素子307の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子307は発光する。

## 【0116】

このように、表示期間 $T_{r1}$ ではEL素子307が発光、または非発光を行い、全ての画素は表示を行う。画素が表示を行っている期間を表示期間 $T_r$ と呼ぶ。特に1ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間を $T_{r1}$ と呼ぶ。図4では説明を簡便にするために、特に1ライン目の画素の表示期間についてのみ示す。全てのラインの表示期間が開始されるタイミングは同じである。

## 【0117】

表示期間 $T_{r1}$ が終了すると書込期間 $T_{a2}$ となり、電源供給線の電源電位はEL素子の対向電極の電位と同じになる。そして書込期間 $T_{a1}$ の場合と同様に順に全てのゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 $T_{a2}$ と呼ぶ。

## 【0118】

書込期間 $T_{a2}$ が終了すると表示期間 $T_{r2}$ になり、電源供給線の電源電位は、電源電位がEL素子の画素電極に与えられたときにEL素子が発光する程度に、対向電極との間に電位差を有する電位になる。そして全ての画素が表示を行う。

## 【0119】

上述した動作は  $n$  ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、書込期間  $T_a$  と表示期間  $T_r$  とが繰り返し出現する。全ての表示期間 ( $T_{r1} \sim T_{rn}$ ) が終了すると 1 つの画像を表示することができる。本発明の駆動方法において、1 つの画像を表示する期間を 1 フレーム期間 ( $F$ ) と呼ぶ。1 フレーム期間が終了すると次のフレーム期間が開始される。そして再び書込期間  $T_{a1}$  が出現し、上述した動作を繰り返す。

#### 【0120】

通常の EL ディスプレイでは 1 秒間に 60 以上のフレーム期間を設けることが好ましい。1 秒間に表示される画像の数が 60 より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

#### 【0121】

本実施例では、全ての書き込み期間の長さの和が 1 フレーム期間よりも短く、なおかつ表示期間の長さ比は、 $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$  となるようにすることが必要である。この表示期間の組み合わせで  $2^n$  階調のうち所望の階調表示を行うことができる。

#### 【0122】

1 フレーム期間中に EL 素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$  のとき、全部の表示期間で画素が発光した場合の輝度を 100% とすると、 $T_{r1}$  と  $T_{r2}$  において画素が発光した場合には 1% の輝度が表現でき、 $T_{r3}$  と  $T_{r5}$  と  $T_{r8}$  を選択した場合には 60% の輝度が表現できる。

#### 【0123】

また表示期間  $T_{r1} \sim T_{rn}$  は、どのような順序で出現させても良い。例えば 1 フレーム期間中において、 $T_{r1}$  の次に  $T_{r3}$ 、 $T_{r5}$ 、 $T_{r2}$ 、 $\dots$  という順序で表示期間を出現させることも可能である。

#### 【0124】

なお本実施例では、電源供給線の電源電位の高さを書込期間と表示期間とで変化させていたが、本発明はこれに限定されない。電源電位が EL 素子の画素電極

に与えられたときに E L 素子が発光する程度の電位差を、電源電位と対向電極の電位とが常に有するようにしても良い。その場合、書込期間においても E L 素子を発光させることが可能になる。よって、当該フレーム期間において画素が表示する階調は、1 フレーム期間中に E L 素子が発光した書込期間と表示期間の長さの総和によって決まる。なおこの場合、各ビットのデジタルビデオ信号に対応する書込期間と表示期間の長さの和の比が、 $(T_{a1} + T_{r1}) : (T_{a2} + T_{r2}) : (T_{a3} + T_{r3}) : \dots : (T_{a(n-1)} + T_{r(n-1)}) : (T_{an} + T_{rn}) = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$  となることが必要である。

## 【0125】

## (実施例 2)

本実施例では、本発明の E L ディスプレイの画素部の構造とその駆動方法について、実施例 1 とは異なる例について説明する。

## 【0126】

図 9 に本実施例の E L ディスプレイのブロック図の一例を示す。図 9 の E L ディスプレイは、基板上に形成された T F T によって画素部 901、画素部の周辺に配置されたソース信号側駆動回路 902、書き込み用ゲート信号側駆動回路（第 1 のゲート信号線駆動回路）903a、消去用ゲート信号線駆動回路（第 2 のゲート信号線駆動回路）903b を有している。なお、本実施例で E L ディスプレイはソース信号側駆動回路を 1 つ有しているが、本実施例においてソース信号側駆動回路は 2 つあってもよい。

## 【0127】

ソース信号側駆動回路 902 は本発明の第 1 から第 3 の構成のうち、少なくとも 1 つを有している。

## 【0128】

なお本実施例において、ソース信号線駆動回路 902 と書き込み用ゲート信号側駆動回路 903a と消去用ゲート信号線駆動回路 903b とは、画素部 901 と同じ基板上に形成されていても良いし、I C チップ上に形成して F P C または T A B を介して画素部 901 と接続されていても良い。

## 【 0 1 2 9 】

画素部 9 0 1 の拡大図を図 1 0 に示す。ソース信号線 (S 1 ~ S x)、電源供給線 (V 1 ~ V x)、書き込み用ゲート信号線 (第 1 のゲート信号線) (G a 1 ~ G a y)、消去用ゲート信号線 (第 2 のゲート信号線) (G e 1 ~ G e y) が画素部 9 0 1 に設けられている。

## 【 0 1 3 0 】

ソース信号線 (S 1 ~ S x) と、電源供給線 (V 1 ~ V x) と、書き込み用ゲート信号線 (G a 1 ~ G a y) と、消去用ゲート信号線 (G e 1 ~ G e y) とをそれぞれ少なくとも 1 つ備えた領域が画素 9 0 4 である。画素部 9 0 1 にはマトリクス状に複数の画素 9 0 4 が配列されることになる。

## 【 0 1 3 1 】

画素 9 0 4 の拡大図を図 1 1 に示す。図 1 1 において、9 0 7 はスイッチング用 T F T である。スイッチング用 T F T 9 0 7 のゲート電極は、書き込み用ゲート信号線 G a (G a 1 ~ G a y) に接続されている。スイッチング用 T F T 9 0 7 のソース領域とドレイン領域は、一方がソース信号線 S (S 1 ~ S x) に、もう一方が E L 駆動用 T F T 9 0 8 のゲート電極、各画素が有するコンデンサ 9 1 2 及び消去用 T F T 9 0 9 のソース領域又はドレイン領域にそれぞれ接続されている。

## 【 0 1 3 2 】

コンデンサ 9 1 2 はスイッチング用 T F T 9 0 7 が非選択状態 (オフ状態) にある時、E L 駆動用 T F T 9 0 8 のゲート電圧を保持するために設けられている。なお本実施例ではコンデンサ 9 1 2 を設ける構成を示したが、本実施例はこの構成に限定されず、コンデンサ 9 1 2 を設けない構成にしても良い。

## 【 0 1 3 3 】

また、E L 駆動用 T F T 9 0 8 のソース領域とドレイン領域は、一方が電源供給線 V (V 1 ~ V x) に接続され、もう一方は E L 素子 9 1 0 に接続される。電源供給線 V はコンデンサ 9 1 2 に接続されている。

## 【 0 1 3 4 】

また消去用 T F T 9 0 9 のソース領域とドレイン領域のうち、スイッチング用

TFT907のソース領域またはドレイン領域に接続されていない方は、電源供給線Vに接続されている。そして消去用TFT909のゲート電極は、消去用ゲート信号線Geに接続されている。

## 【0135】

EL素子910は陽極と陰極と、陽極と陰極との間に設けられたEL層とからなる。陽極がEL駆動用TFT908のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極がEL駆動用TFT908のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

## 【0136】

EL素子910の対向電極には対向電位が与えられている。また電源供給線Vは電源電位が与えられている。そして対向電位と電源電位の電位差は、電源電位が画素電極に与えられたときにEL素子が発光する程度の電位差に常に保たれている。電源電位と対向電位は、本発明のELディスプレイに、外付けのIC等により設けられた電源によって与えられる。

## 【0137】

現在の典型的なELディスプレイには、画素の発光する面積あたりの発光量が $200\text{cd}/\text{m}^2$ の場合、画素部の面積あたりの電流が数 $\text{mA}/\text{cm}^2$ 程度必要となる。そのため特に画面サイズが大きくなると、ICに設けられた電源から与えられる電位の高さをスイッチで制御することが難しくなっていく。本実施例においては、電源電位と対向電位は常に一定に保たれており、ICに設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

## 【0138】

スイッチング用TFT907、EL駆動用TFT908、消去用TFT909は、nチャネル型TFTでもpチャネル型TFTでもどちらでも用いることができる。ただしEL駆動用TFT908のソース領域またはドレイン領域がEL素子910の陽極と接続されている場合、EL駆動用TFT908はpチャネル型TFTであることが望ましい。また、EL駆動用TFT908のソース領域また

はドレイン領域がEL素子910の陰極と接続されている場合、EL駆動用TFT908はnチャネル型TFTであることが望ましい。

## 【0139】

またスイッチング用TFT907、EL駆動用TFT908、消去用TFT909は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

## 【0140】

次に上述した構成を有する本発明のELディスプレイの駆動方法について、図12を用いて説明する。

## 【0141】

はじめに書き込み用ゲート信号線駆動回路903aから書き込み用ゲート信号線Ga1に入力される書き込み用ゲート信号によって、書き込み用ゲート信号線Ga1に接続されている全ての画素（1ライン目の画素）のスイッチング用TFT907がオンの状態になる。なお本明細書において信号線にゲート電極が接続されたTFTが全てオンの状態になることを、該配線が選択されたと呼ぶ。よってこの場合、書き込み用ゲート信号線Ga1が選択されていることになる。

## 【0142】

そして同時に、ソース信号線（S1～Sx）にソース信号線駆動回路902から、1ビット目のデジタルビデオ信号が1ライン目の画素に入力される。具体的にはデジタルビデオ信号はスイッチング用TFT907を介してEL駆動用TFT908のゲート電極に入力される。

## 【0143】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT908はオフの状態となる。よってEL素子910の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子910は発光しない。

## 【0144】

逆に、「1」の情報を有していた場合、EL駆動用TFT908はオンの状態となる。よってEL素子910の画素電極には電源電位が与えられる。その結果



、「1」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子910は発光する。

【0145】

このように、1ライン目の画素にデジタルビデオ信号が入力されると同時に、EL素子910が発光、または非発光を行い、1ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間 $T_r$ と呼ぶ。特に1ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間を $T_{r1}$ と呼ぶ。図11では説明を簡便にするために、特に1ライン目の画素の表示期間についてのみ示す。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0146】

次にGa1の選択が終了すると同時に、書き込み用ゲート信号線Ga2が書き込み用ゲート信号によって選択される。そして書き込み用ゲート信号線Ga2に接続されている全ての画素のスイッチング用TFT907がオンの状態になり、2ライン目の画素にソース信号線(S1~Sx)から1ビット目のデジタルビデオ信号が入力される。

【0147】

そして順に、全ての書き込み用ゲート信号線(Ga1~Gax)が選択されていく。全ての書き込み用ゲート信号線(Ga1~Gax)が選択され、全てのラインの画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間 $T_{a1}$ である。

【0148】

一方、全てのラインの画素に1ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 $T_{a1}$ が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線駆動回路903bから入力される消去用ゲート信号によって、消去用ゲート信号線Ge1の選択が行われる。

【0149】

消去用ゲート信号線Ge1が選択されると、消去用ゲート信号線Ge1に接続

されている全ての画素（1ライン目の画素）の消去用TFT909がオンの状態になる。そして電源供給線（V1～Vx）の電源電位が消去用TFT909を介して1ライン目の画素のEL駆動用TFT908のゲート電極に与えられる。

【0150】

電源電位がEL駆動用TFT908のゲート電極に与えられると、EL駆動用TFT908はオフの状態となる。よって電源電位はEL素子910の画素電極に与えられなくなり、1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。つまり、書き込み用ゲート信号線Ga1が選択されたときからEL駆動用TFTのゲート電極が保持していたデジタルビデオ信号は、EL駆動用TFTのゲート電極に電源電位が与えられることで消去される。よって1ライン目の画素が表示を行わなくなる。

【0151】

画素が表示を行わない期間を非表示期間Tdと呼ぶ。1ライン目の画素は、消去用ゲート信号線Ge1に消去用ゲート信号が入力されると同時に表示期間Tr1が終了し、非表示期間Td1となる。

【0152】

図12では説明を簡便にするために、特に1ライン目の画素の非表示期間についてのみ示す。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0153】

そしてGe1の選択が終了すると同時に、消去用ゲート信号によって消去用ゲート信号線Ge2が選択され、消去用ゲート信号線Ge2に接続されている全ての画素（2ライン目の画素）の消去用TFT909がオンの状態になる。そして電源供給線（V1～Vx）の電源電位が消去用TFT909を介してEL駆動用TFT908のゲート電極に与えられる。電源電位がEL駆動用TFT908のゲート電極に与えられると、EL駆動用TFT908はオフの状態となる。よって電源電位はEL素子910の画素電極に与えられなくなる。その結果2ライン目の画素が有するEL素子は全て非発光の状態になり、2ライン目の画素が表示を行わなくなり、非表示の状態となる。

## 【 0 1 5 4 】

そして順に、消去用ゲート信号によって全ての消去用ゲート信号線が選択されていく。全ての消去用ゲート信号線（ $G a 1 \sim G a x$ ）が選択され、全てのラインの画素が保持している1ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間  $T e 1$  である。

## 【 0 1 5 5 】

一方、全てのラインの画素が保持している1ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間  $T e 1$  が終了する前に、画素への1ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用ゲート信号線  $G a 1$  の選択が行われる。その結果、1ライン目の画素は再び表示を行うので、非表示期間  $T d 1$  が終了して表示期間  $T r 2$  となる。

## 【 0 1 5 6 】

そして同様に、順に全ての書き込み用ゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間  $T a 2$  と呼ぶ。

## 【 0 1 5 7 】

そして一方、全てのラインの画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間  $T a 2$  が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線  $G e 2$  の選択が行われる。よって1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間  $T r 2$  は終了し、非表示期間  $T d 2$  となる。

## 【 0 1 5 8 】

そして順に、全ての消去用ゲート信号線が選択される。全ての消去用ゲート信号線（ $G a 1 \sim G a x$ ）が選択され、全てのラインの画素が保持している2ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間  $T e 2$  である。

## 【 0 1 5 9 】

上述した動作は  $m$  ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し

返し行われ、表示期間  $T_r$  と非表示期間  $T_d$  とが繰り返し出現する。表示期間  $T_{r1}$  は、書き込み期間  $T_{a1}$  が開始されてから消去期間  $T_{e1}$  が開始されるまでの期間である。また非表示期間  $T_{d1}$  は、消去期間  $T_{e1}$  が開始されてから表示期間  $T_{r2}$  が開始されるまでの期間である。そして表示期間  $T_{r2}$ 、 $T_{r3}$ 、 $\dots$ 、 $T_{r(m-1)}$  と非表示期間  $T_{d2}$ 、 $T_{d3}$ 、 $\dots$ 、 $T_{d(m-1)}$  も、表示期間  $T_{r1}$  と非表示期間  $T_{d1}$  と同様に、それぞれ書き込み期間  $T_{a1}$ 、 $T_{a2}$ 、 $\dots$ 、 $T_{am}$  と消去期間  $T_{e1}$ 、 $T_{e2}$ 、 $\dots$ 、 $T_{e(m-1)}$  とによって、その期間が定められる。

## 【0160】

そして  $m$  ビット目のデジタルビデオ信号が 1 ライン目の画素に入力された後は、消去用ゲート信号線  $G_{e1}$  は選択されない。説明を簡便にするために、本実施例では  $m = n - 2$  の場合を例にとって説明するが、本発明はこれに限定されないのは言うまでもない。本発明において  $m$  は、2 から  $n$  までの値を任意に選択することが可能である。

## 【0161】

$(n - 2)$  ビット目のデジタルビデオ信号が 1 ライン目の画素に入力されると、1 ライン目の画素は表示期間  $T_{r(n-2)}$  となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、 $(n - 2)$  ビット目のデジタルビデオ信号は画素に保持される。

## 【0162】

そして次に  $(n - 1)$  ビット目のデジタルビデオ信号が 1 ライン目の画素に入力されると、画素に保持されていた  $(n - 2)$  ビット目のデジタルビデオ信号は、 $(n - 1)$  ビット目のデジタルビデオ信号に書き換えられる。そして 1 ライン目の画素は表示期間  $T_{r(n-1)}$  となり、表示を行う。 $(n - 2)$  ビット目のデジタルビデオ信号は、次のビットのデジタルビデオ信号が入力されるまで画素に保持される。

## 【0163】

上述した動作を  $n$  ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われる。表示期間  $T_{r(n-2)}$  は、書き込み期間  $T_{a(n-2)}$  が開始

されてから、書き込み期間  $T_a(n-1)$  が開始されるまでの期間である。そして表示期間 ( $T_r(n-1)$ 、 $T_{rn}$ ) も表示期間  $T_r(n-2)$  と同様に、書き込み期間  $T_a$  によって、その期間が定められる。

## 【0164】

なお本実施例では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さを  $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$  とすることが必要である。この表示期間の組み合わせで  $2^n$  階調のうち所望の階調表示を行うことができる。

## 【0165】

全ての表示期間 ( $T_{r1} \sim T_{rn}$ ) が終了すると、1つの画像を表示することができる。本発明の駆動方法において、1つの画像を表示する期間を1フレーム期間 ( $F$ ) と呼ぶ。

## 【0166】

そして1フレーム期間終了後は、再び1ビット目のデジタルビデオ信号が画素に入力され、1ライン目の画素が再び表示期間  $T_{r1}$  となる。そして再び上述した動作を繰り返す。

## 【0167】

通常のELディスプレイでは1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

## 【0168】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$  のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 $T_{r1}$  と  $T_{r2}$  において画素が発光した場合には1%の輝度が表現でき、 $T_{r3}$  と  $T_{r5}$  と  $T_{r8}$  を選択した場合には60%の輝度が表現できる。

## 【0169】

$m$  ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間  $T_{am}$  は、表示期間  $T_{rm}$  の長さよりも短いことが肝要である。よってビット数  $m$  の値は

、1～nのうち、書き込み期間 $T_{am}$ が表示期間 $T_{rm}$ の長さよりも短くなるような値であることが必要である。

【0170】

また表示期間( $T_{r1} \sim T_{rn}$ )は、どのような順序で出現させても良い。例えば1フレーム期間中において、 $T_{r1}$ の次に $T_{r4}$ 、 $T_{r3}$ 、 $T_{r2}$ 、…という順序で表示期間を出現させることも可能である。ただし、消去期間( $T_{e1} \sim T_{en}$ )が互いに重ならない順序の方がより好ましい。

【0171】

なお本実施例においては、表示期間 $T_r$ と書き込み期間 $T_a$ とが一部重なっている。言い換えると書き込み期間においても画素を表示させることが可能である。そのため、1フレーム期間における表示期間の長さの総和の割合(デューティー比)が、書き込み期間の長さによってのみ決定されない。

【0172】

(実施例3)

本実施例では、実施の形態1で示したELディスプレイが有するソース信号線駆動回路の詳しい構成について説明する。図13に本実施例のソース信号線駆動回路の回路図を示す。なお図1で示したものと同一のものは、同じ符号で示す。

【0173】

102-1はシフトレジスタであり、クロック信号(CLK)、クロック信号の極性が反転した信号(CLKB)、スタートパルス信号(SP)、双方向切り替え信号(SL/R)が、図に示した配線からそれぞれ入力されている。

【0174】

102-2はラッチ(A)であり、102-3はラッチ(B)である。なお本実施例では、1組のラッチ(A)102-2と1組のラッチ(B)102-3が、4本のソース信号線に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

【0175】

またソース信号線駆動回路の外部から入力されるデジタルビデオ信号(DV)

は、図に示した配線からラッチ (A) 1 0 2 - 2 に入力される。ラッチ信号 S\_\_LAT、S\_\_LAT の極性が反転した信号 S\_\_LAT b はそれぞれ図に示した配線からラッチ (B) 1 0 2 - 3 に入力される。

## 【 0 1 7 6 】

ラッチ (A) 1 0 2 - 2 の詳しい構成について、ラッチ (A) 1 0 2 - 2 の一部 8 0 1 を例にとって説明する。ラッチ (A) 1 0 2 - 2 の一部 8 0 1 は 2 つのクロックドインバータと 2 つのインバーターを有している。

## 【 0 1 7 7 】

ラッチ (A) 1 0 2 - 2 の一部 8 0 1 の上面図を図 1 4 に示す。8 3 1 a、8 3 1 b はそれぞれ、ラッチ (A) 1 0 2 - 2 の一部 8 0 1 が有するインバーターの 1 つを形成する T F T の活性層であり、8 3 6 は該インバーターの 1 つを形成する T F T の共通のゲート電極である。また 8 3 2 a、8 3 2 b はそれぞれ、ラッチ (A) 1 0 2 - 2 の一部 8 0 1 が有するもう 1 つのインバーターを形成する T F T の活性層であり、8 3 7 a、8 3 7 b は活性層 8 3 2 a、8 3 2 b 上にそれぞれ設けられたゲート電極である。なおゲート電極 8 3 7 a、8 3 7 b は電氣的に接続されている。

## 【 0 1 7 8 】

8 3 3 a、8 3 3 b はそれぞれ、ラッチ (A) 1 0 2 - 2 の一部 8 0 1 が有するクロックドインバーターの 1 つを形成する T F T の活性層である。活性層 8 3 3 a 上にはゲート電極 8 3 8 a、8 3 8 b が設けられており、ダブルゲート構造となっている。また活性層 8 3 3 b 上にはゲート電極 8 3 8 b、8 3 9 が設けられており、ダブルゲート構造となっている。

## 【 0 1 7 9 】

8 3 4 a、8 3 4 b はそれぞれ、ラッチ (A) 1 0 2 - 2 の一部 8 0 1 が有するもう 1 つのクロックドインバーターを形成する T F T の活性層である。活性層 8 3 4 a 上にはゲート電極 8 3 9、8 4 0 が設けられており、ダブルゲート構造となっている。また活性層 8 3 4 b 上にはゲート電極 8 4 0、8 4 1 が設けられており、ダブルゲート構造となっている。

## 【 0 1 8 0 】

また 1 0 2 - 4 は切り替え回路である。図 1 5 (A) と図 1 5 (B) に本実施例の切り替え回路の回路図を示す。

## 【 0 1 8 1 】

図 1 5 (A) に示す本実施例の切り替え回路 1 0 2 - 4 は、インバーター 8 5 1 と、第 1 のアナログスイッチ 8 5 2 と、第 2 のアナログスイッチ 8 5 3 とを有している。また図に示す配線から切り替え信号 S S と切り替え信号の極性を反転させた信号 S S B が入力される。

## 【 0 1 8 2 】

第 1 及び第 2 のアナログスイッチ 8 5 2、8 5 3 の等価回路図を図 1 6 に示す。第 1 及び第 2 のアナログスイッチ 8 5 2、8 5 3 は n チャンネル型 T F T と p チャンネル型 T F T とを有している。第 1 の制御入力端子 (V i n) または第 2 の制御入力端子 (V i n b) から入力される信号によって入力端子 (I N) から入力される信号がサンプリングされ、出力端子 (O U T) から出力される。

## 【 0 1 8 3 】

ラッチ (B) 1 0 2 - 3 からのデジタルビデオ信号は、インバーター 8 5 1 を介して第 1 のアナログスイッチ 8 5 2 に入力端子 (I N) から入力する。また同時に、ラッチ (B) 1 0 2 - 3 からのデジタルビデオ信号は第 2 のアナログスイッチ 8 5 3 に入力端子 (I N) から入力する。

## 【 0 1 8 4 】

そして切り替え信号 S S と切り替え信号の極性を反転させた信号 S S B とが、第 1 のアナログスイッチ 8 5 2 と第 2 のアナログスイッチ 8 5 3 に、第 1 の制御入力端子 (V i n) または第 2 の制御入力端子 (V i n b) からそれぞれ入力される。この切り替え信号 S S によってデジタルビデオ信号がサンプリングされ、第 1 のアナログスイッチ 8 5 2 と第 2 のアナログスイッチ 8 5 3 の出力端子 (O U T) からサンプリングされたデジタルビデオ信号が出力される。

## 【 0 1 8 5 】

切り替え回路 1 0 2 - 4 に入力されたデジタルビデオ信号は、そのまま、もしくはその極性を反転させられて、切り替え回路 1 0 2 - 4 から出力される。切り替え回路 1 0 2 - 4 においてデジタルビデオ信号の極性が反転するかしないかは



、切り替え信号 S S によって選択される。

【 0 1 8 6 】

図 1 5 ( B ) に示す本実施例の切り替え回路 1 0 2 - 4 は、インバーター 8 6 1 と、第 1 の N A N D 8 5 2 と、第 2 の N A N D 8 5 3 と、第 3 の N A N D 8 6 4 とを有している。また図に示す配線から切り替え信号 S S と切り替え信号の極性を反転させた信号 S S B が入力される。

【 0 1 8 7 】

ラッチ ( B ) 1 0 2 - 3 からのデジタルビデオ信号は、インバーター 8 6 1 を介してする。そして同時に切り替え信号 S S の極性を反転させた信号 S S B も第 1 の N A N D 8 6 2 に入力される。

【 0 1 8 8 】

またデジタルビデオ信号がインバーター 8 6 1 を介して第 1 の N A N D 8 6 2 に入力されるのと同時に、デジタルビデオ信号が第 2 の N A N D 8 6 3 に入力される。そして同時に切り替え信号 S S も第 2 の N A N D 8 6 3 に入力される。

【 0 1 8 9 】

第 1 及び第 2 の N A N D 8 6 2 、 8 6 3 から出力された信号は、同時に第 3 の N A N D 8 6 4 に入力される。第 3 の N A N D 8 6 4 から出力された信号はソース信号線に入力する。

【 0 1 9 0 】

切り替え回路 1 0 2 - 4 に入力されたデジタルビデオ信号は、そのまま、もしくはその極性を反転させられて、切り替え回路 1 0 2 - 4 から出力される。切り替え回路 1 0 2 - 4 においてデジタルビデオ信号の極性が反転するかしないかは、切り替え信号 S S によって選択される。

【 0 1 9 1 】

なお切り替え回路は図 1 5 に示した構成に限定されない。入力したデジタルビデオ信号を、そのまま、もしくはその極性を反転させて出力することができるなら、切り替え回路はどのような構成を有していても良い。

【 0 1 9 2 】

なお本実施例は、実施例 1 または 2 と自由に組み合わせて実施することが可能

である。

【 0 1 9 3 】

(実施例 4)

本実施例では、実施の形態 2 で示した E L ディスプレイが有するソース信号線駆動回路の詳しい構成について説明する。図 1 7 に本実施例のソース信号線駆動回路の回路図を示す。なお図 1 で示したものと同一のものは、同じ符号で示す。

【 0 1 9 4 】

1 0 2 - 1 はシフトレジスタであり、クロック信号 (C L K)、クロック信号の極性が反転した信号 (C L K B)、スタートパルス信号 (S P)、双方向切り替え信号 (S L / R) が、図に示した配線からそれぞれ入力されている。

【 0 1 9 5 】

1 0 2 - 2 はラッチ (A) であり、1 0 2 - 3 はラッチ (B) である。なお本実施例では、1 組のラッチ (A) 1 0 2 - 2 と 1 組のラッチ (B) 1 0 2 - 3 が、4 本のソース信号線に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

【 0 1 9 6 】

またソース信号線駆動回路の外部から入力されるデジタルビデオ信号 (D V) は、図に示した配線からラッチ (A) 1 0 2 - 2 に入力される。ラッチ信号 S \_ L A T、S \_ L A T の極性が反転した信号 S \_ L A T b はそれぞれ図に示した配線からラッチ (B) 1 0 2 - 3 に入力される。

【 0 1 9 7 】

ラッチ (A) 1 0 2 - 2 の詳しい構成については、図 1 4 に示したものと同一であるため、ここでは省略する。

【 0 1 9 8 】

1 0 6 はクロック信号制御回路であり、一定の期間クロック信号 (C L K) の代わりに、一定の電位 (固定電位) をシフトレジスタ 1 0 2 - 1 に与えることができる。

【 0 1 9 9 】

具体的には、 $m$ ビット目 ( $m$ は1から $n$ までの任意の整数) から $n$ ビット目までの下位ビットのデジタルビデオ信号をラッチ (A) 102-2に書き込むためのタイミング信号だけがラッチ (A) 102-2に入力しないように、一定の期間クロック信号制御回路106によってクロック信号の代わりに、一定の電位 (固定電位) をシフトレジスタ102-1に入力させるようにした。よってソース信号線駆動回路の外部から入力されたデジタルビデオ信号 $n$ ビットのうち、1ビット目から $(m-1)$ ビット目までの上位ビットのデジタルビデオ信号のみをラッチ (A) 102-2に書き込むことができる。

## 【0200】

図18 (A) (B) に本実施例のクロック信号制御回路106の詳しい回路図を示す。

## 【0201】

図18 (A) に示す本実施例のクロック信号制御回路106は、NAND1801と、インバーター1802を有している。また図に示す配線から選択信号が入力される。

## 【0202】

ソース信号線駆動回路の外部から入力されるクロック信号は入力端子 (IN) からNAND1801に入力される。また同時に選択信号もNAND1801に入力される。そしてNAND1801から出力された信号は、インバーター1802によってその極性が反転されて出力端子 (OUT) から出力され、シフトレジスタ102-1に入力される。

## 【0203】

選択信号によって、シフトレジスタ102-1にクロック信号が入力されるか、一定の電位 (固定電位) が与えられるかが選択される。

## 【0204】

図18 (B) に示す本実施例のクロック信号制御回路106は、第1のアナログスイッチ1811と、第2のアナログスイッチ1812と、インバーター1813とを有している。また図に示す配線から選択信号が入力される。

## 【0205】

第 1 及び第 2 のアナログスイッチ 1 8 1 1、1 8 1 2 の等価回路図は図 1 6 に示したものと同一である。第 1 及び第 2 のアナログスイッチ 1 8 1 1、1 8 1 2 は n チャネル型 T F T と p チャネル型 T F T とを有している。第 1 の制御入力端子 (V i n) または第 2 の制御入力端子 (V i n b) から入力される信号によって入力端子 (I N) から入力される信号がサンプリングされ、出力端子 (O U T) から出力される。

## 【 0 2 0 6 】

選択信号が第 1 及び第 2 のアナログスイッチ 1 8 1 1、1 8 1 2 に第 1 の制御入力端子 (V i n) から入力され、同時にインバーター 1 8 1 3 によってその極性が反転された選択信号が第 1 及び第 2 のアナログスイッチ 1 8 1 1、1 8 1 2 に第 2 の制御入力端子 (V i n b) から入力される。またさらに同時に、ソース信号線駆動回路の外部から入力されるクロック信号 C L K は、第 1 のアナログスイッチ 1 8 1 1 に入力端子 (I N) から入力する。第 2 のアナログスイッチ 1 8 1 2 に入力端子 (I N) から一定の電位 (固定電位) が与えられている。

## 【 0 2 0 7 】

第 1 及び第 2 のアナログスイッチ 1 8 1 1、1 8 1 2 の出力端子 (O U T) から出力される信号は、共にクロック信号制御回路 1 0 6 の出力端子 (O U T) から出力される。

## 【 0 2 0 8 】

選択信号によって、シフトレジスタ 1 0 2 - 1 にクロック信号が入力されるか、一定の電位 (固定電位) が与えられるかが選択される。

## 【 0 2 0 9 】

なおクロック信号制御回路は図 1 8 に示した構成に限定されない。

## 【 0 2 1 0 】

なお本実施例は、実施例 1 ～ 3 と自由に組み合わせて実施することが可能である。

## 【 0 2 1 1 】

## (実施例 5)

本実施例では、実施の形態 3 で示した E L ディスプレイが有するソース信号線

駆動回路の詳しい構成について説明する。図 1 9 に本実施例のソース信号線駆動回路の回路図を示す。なお図 1 で示したものと同一のものは、同じ符号で示す。

#### 【 0 2 1 2 】

1 0 2 - 1 はシフトレジスタであり、クロック信号 (C L K)、クロック信号の極性が反転した信号 (C L K B)、スタートパルス信号 (S P)、双方向切り替え信号 (S L / R) が、図に示した配線からそれぞれ入力されている。

#### 【 0 2 1 3 】

1 0 2 - 2 はラッチ (A) であり、1 0 2 - 3 はラッチ (B) である。なお本実施例では、1 組のラッチ (A) 1 0 2 - 2 と 1 組のラッチ (B) 1 0 2 - 3 が、4 本のソース信号線に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

#### 【 0 2 1 4 】

またソース信号線駆動回路の外部から入力されるデジタルビデオ信号 (D V) は、図に示した配線からラッチ (A) 1 0 2 - 2 に入力される。ラッチ信号 S \_ L A T、S \_ L A T の極性が反転した信号 S \_ L A T b はそれぞれ図に示した配線からラッチ (B) 1 0 2 - 3 に入力される。

#### 【 0 2 1 5 】

ラッチ (A) 1 0 2 - 2 の詳しい構成については、図 1 4 に示したものと同一であるため、ここでは省略する。

#### 【 0 2 1 6 】

1 0 7 は、タイミング信号制御回路であり、一定の期間タイミング信号の代わりに、一定の電位 (固定電位) をラッチ (A) 1 0 2 - 2 に与えることができる。

#### 【 0 2 1 7 】

具体的には、m ビット目 (m は 1 から n までの任意の整数) から n ビット目までの下位ビットのデジタルビデオ信号をラッチ (A) 1 0 2 - 2 に書き込むためのタイミング信号だけがラッチ (A) 1 0 2 - 2 に入力しないように、一定の期間タイミング信号制御回路 1 0 7 によってシフトレジスタ 1 0 2 - 1 から出力され

るタイミング信号の代わりに、一定の電位（固定電位）をラッチ（A）120-2に与えるようにした。よってソース信号線駆動回路102の外部から入力されたデジタルビデオ信号nビットのうち、1ビット目から（m-1）ビット目までの上位ビットのデジタルビデオ信号のみをラッチ（A）102-2に書き込むことができる。

## 【0218】

なお本実施例のタイミング信号制御回路107の構成は、図18（A）（B）に示したものと同一であるので、タイミング信号制御回路107の構成についての詳しい説明は実施例4を参照する。ただし本実施例では、図18（A）（B）に示した回路の入力端子（IN）にシフトレジスタ102-1からのタイミング信号が入力される。そして図18（A）（B）に示した回路の出力端子（OUT）から出力される信号は、ラッチ（A）102-2に入力される。そして選択信号によって、ラッチ（A）102-2にタイミング信号が入力されるか、一定の電位（固定電位）が与えられるかが選択される。

## 【0219】

なおタイミング信号制御回路は図18に示した構成に限定されない。

## 【0220】

なお本実施例は、実施例1～3と自由に組み合わせて実施することが可能である。

## 【0221】

## （実施例6）

本実施例では、実施の形態4で示したELディスプレイが有するソース信号線駆動回路の詳しい構成について説明する。図20に本実施例のソース信号線駆動回路の回路図を示す。なお図1で示したものと同一のものは、同じ符号で示す。

## 【0222】

102-1はシフトレジスタであり、クロック信号（CLK）、クロック信号の極性が反転した信号（CLKB）、スタートパルス信号（SP）、双方向切り替え信号（SL/R）が、図に示した配線からそれぞれ入力されている。

## 【0223】

102-2はラッチ(A)であり、102-3はラッチ(B)である。なお本実施例では、1組のラッチ(A)102-2と1組のラッチ(B)102-3が、4本のソース信号線に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

## 【0224】

またソース信号線駆動回路の外部から入力されるデジタルビデオ信号(DV)は、図に示した配線からラッチ(A)102-2に入力される。ラッチ信号S<sub>\_\_</sub>LAT、S<sub>\_\_</sub>LATの極性が反転した信号S<sub>\_\_</sub>LATbはそれぞれ図に示した配線からラッチ(B)102-3に入力される。

## 【0225】

ラッチ(A)102-2の詳しい構成については、図14に示したものと同一であるため、ここでは省略する。

## 【0226】

108は、スタートパルス信号制御回路であり、一定の期間スタートパルス信号(SP)の代わりに、一定の電位(固定電位)をシフトレジスタ102-1に与えることができる。

## 【0227】

具体的には、mビット目(mは1からnまでの任意の整数)からnビット目までの下位ビットのデジタルビデオ信号をラッチ(A)102-2に書き込むためのタイミング信号だけがラッチ(A)102-2に入力しないように、一定の期間スタートパルス信号制御回路108によってスタートパルス信号の代わりに一定の電位(固定電位)をシフトレジスタ102-1に与えるようにした。よってソース信号線駆動回路102の外部から入力されたデジタルビデオ信号nビットのうち、1ビット目から(m-1)ビット目までの上位ビットのデジタルビデオ信号のみをラッチ(A)102-2に書き込むことができる。

## 【0228】

なお本実施例のスタートパルス信号制御回路108の構成は、図18(A)(B)に示したものと同一であるので、スタートパルス信号制御回路108の構成

についての詳しい説明は実施例 4 を参照する。ただし本実施例では、図 1 8 (A) (B) に示した回路の入力端子 (IN) にスタートパルス信号が入力される。そして図 1 8 (A) (B) に示した回路の出力端子 (OUT) から出力される信号は、シフトレジスタ 1 0 2 - 1 に入力される。そして選択信号によって、シフトレジスタ 1 0 2 - 1 にスタートパルス信号が入力されるか、一定の電位 (固定電位) が与えられるかが選択される。

## 【 0 2 2 9 】

なおタイミング信号制御回路は図 1 8 に示した構成に限定されない。

## 【 0 2 3 0 】

なお本実施例は、実施例 1 ~ 3 と自由に組み合わせて実施することが可能である。

## 【 0 2 3 1 】

## (実施例 7)

本実施例では、本発明の第 3 の構成の、実施の形態 5 で示した構成とは異なる例について、図 2 1 を用いて説明する。なお図 2 1 において、なお図 5 で示したものと同一のものは同じ符号で示す。

## 【 0 2 3 2 】

5 0 1 は電源供給線であり、5 0 2 はバッファアンプ (緩衝増幅器)、5 0 3 はモニター用 EL 素子、5 0 4 は定電流源、5 0 5 は加算回路である。モニター用 EL 素子 5 0 3 の一方の電極は定電流源 5 0 4 に接続されており、モニター用 EL 素子 5 0 3 には常に一定の電流が流れている。そして EL 素子が有する EL 層の温度が変化すると、モニター用 EL 素子 5 0 3 を流れる電流の大きさが変化しないかわりに、定電流源 5 0 4 に接続されているモニター用 EL 素子 5 0 3 の電極の電位が変化する。

## 【 0 2 3 3 】

一方バッファアンプ 5 0 2 は 2 つの入力端子と 1 つの出力端子とを有しており、2 つの入力端子のうち一方は非反転入力端子 (+)、もう一方は反転入力端子 (-) である。モニター用 EL 素子 5 0 3 の一方の電極の電位は、バッファアンプ 5 0 2 の非反転入力端子に与えられる。



## 【 0 2 3 4 】

バッファアンプは、定電流源 5 0 4 に接続されたモニター用 E L 素子 5 0 3 の電極の電位が、電源供給線 5 0 1 の配線容量等の負荷によって変化するのを防ぐ回路である。よってバッファアンプ 5 0 2 の非反転入力端子に与えられた電位は、電源供給線 5 0 1 や加算回路 5 0 5 の配線容量等の負荷によって変化することなく出力端子から出力され、加算回路 5 0 5 に与えられる。

## 【 0 2 3 5 】

加算回路 5 0 5 に与えられたバッファアンプ 5 0 2 の出力端子の電位は、ある一定の電位差が加えられるか差し引かれるかした後、電源電位として電源供給線 5 0 1 に与えられる。

## 【 0 2 3 6 】

図 2 2 に本実施例の加算回路の詳しい回路図を示す。加算回路 5 0 5 は第 1 の抵抗 5 2 1 と、第 2 の抵抗 5 2 2 と、加算回路用電源 5 2 5 と、非反転増幅回路 5 2 0 とを有している。非反転増幅回路 5 2 0 は第 3 の抵抗 5 2 3 と、第 4 の抵抗 5 2 4 と、非反転増幅回路用電源 5 2 6 と、アンプ 5 2 7 とを有している。

## 【 0 2 3 7 】

第 1 の抵抗 5 2 1 の一方の端子は加算回路の入力端子 ( I N ) である。そして、第 1 の抵抗 5 2 1 のもう一方の端子は第 2 の抵抗 5 2 2 の一方の端子に接続されている。第 2 の抵抗 5 2 2 のもう一方の端子は加算回路用電源 5 2 5 に接続されている。第 1 の抵抗 5 2 1 と第 2 の抵抗 5 2 2 の間からの出力は、非反転増幅回路 5 2 0 のアンプ 5 2 7 の非反転入力端子 ( + ) に入力される。

## 【 0 2 3 8 】

第 3 の抵抗 5 2 3 の一方の端子はアンプ 5 2 7 の出力端子に、第 3 の抵抗 5 2 3 のもう一方の端子はアンプ 5 2 7 の反転入力端子に接続されている。第 3 の抵抗 5 2 3 とアンプ 5 2 7 の反転入力端子との間からの出力は第 4 の抵抗 5 2 4 の一方の端子に入力されている。第 4 の抵抗 5 2 4 のもう一方の端子は非反転増幅回路用電源 5 2 6 と接続されている。第 3 の抵抗 5 2 3 とアンプ 5 2 7 の出力端子との間からの出力は加算回路 5 0 5 の出力端子 ( O U T ) から出力される。

## 【 0 2 3 9 】

上記構成によって、環境温度の変化により、モニター用 E L 素子 5 0 3 または画素部の E L 素子の E L 層の温度が変化しても、E L 素子に一定の電流が流れるように電源電位が変化する。よって E L ディスプレイの環境温度が上昇しても、E L ディスプレイの消費電力が大きくなるのを抑えることができ、かつ E L 素子の輝度を一定に保つことができる。そしてなおかつ加算回路 5 0 5 を設けることで、電源供給線 5 0 1 の電位を、モニター用 E L 素子 5 0 3 の定電流源 5 0 4 に接続されている電極の電位と同じにする必要がなくなる。よってバッファアンプ 5 0 2、モニター用 E L 素子 5 0 3、定電流源 5 0 4 に流れる電流の大きさを抑えることができ、その結果、消費電力を抑えることができる。

【 0 2 4 0 】

なお加算回路 5 0 5 は図 2 2 に示した構成に限定されない。

【 0 2 4 1 】

また本実施例は、実施例 1 ～ 6 と自由に組み合わせて実施することが可能である。

【 0 2 4 2 】

(実施例 8)

本実施例では、同一基板上に画素部と、画素部の周辺の駆動回路の T F T ( n チャンネル型 T F T 及び p チャンネル型 T F T ) を同時に作製する方法について詳細に説明する。

【 0 2 4 3 】

まず、図 2 3 ( A ) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス、または石英基板から成る基板 4 0 0 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 4 0 1 を形成する。例えば、プラズマ C V D 法で  $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$  から作製される酸化窒化シリコン膜を 1 0 ～ 2 0 0 nm (好ましくは 5 0 ～ 1 0 0 nm) 形成し、同様に  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$  から作製される酸化窒化水素化シリコン膜を 5 0 ～ 2 0 0 nm (好ましくは 1 0 0 ～ 1 5 0 nm) の厚さに積層形成する。なお図 2 3 ( A ) では下地膜を 1 つの層で示した。本実施例では下地膜 4 0 1 を 2 層構造として示した

が、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0244】

半導体層402～405は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この半導体層402～405の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0245】

公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法、触媒金属を用いた結晶化法がある。

【0246】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm<sup>2</sup>（代表的には200～300mJ/cm<sup>2</sup>）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm<sup>2</sup>（代表的には350～500mJ/cm<sup>2</sup>）とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80～98%として行う。

【0247】

次いで、半導体層402～405を覆うゲート絶縁膜406を形成する。ゲート絶縁膜406はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜406はこのような酸

化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) と $O_2$ とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

## 【0248】

そして、ゲート絶縁膜406上にゲート電極を形成するための第1の導電膜407と第2の導電膜408とを形成する。本実施例では、第1の導電膜407をTaで50～100nmの厚さに形成し、第2の導電膜408をWで100～300nmの厚さに形成する。

## 【0249】

Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、 $\alpha$ 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 $\beta$ 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。 $\alpha$ 相のTa膜を形成するために、Taの $\alpha$ 相に近い結晶構造をもつ窒化タンタルを10～50nm程度の厚さでTaの下地に形成しておくことと $\alpha$ 相のTa膜を容易に得ることができる。

## 【0250】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中の不純物の混入がないように十分配慮してW膜を形成することにより、抵抗

率  $9 \sim 20 \mu \Omega \text{ cm}$  を実現することができる。

【0251】

なお、本実施例では、第1の導電膜407をTa、第2の導電膜408をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。(図23(B))

【0252】

次に、レジストによるマスク409~412を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスに $\text{CF}_4$ と $\text{Cl}_2$ を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$ と $\text{Cl}_2$ を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0253】

なお図23(C)では図示しなかったが、上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされることになる。また図23(C)では図示し

なかったが、ゲート絶縁膜 4 0 6 は、上記エッチングによって第 1 の形状の導電層 4 1 4 ~ 4 1 7 で覆われない領域が 2 0 ~ 5 0 nm 程度エッチングされ薄くなった。

#### 【 0 2 5 4 】

こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 4 1 4 ~ 4 1 7 (第 1 の導電層 4 1 4 a ~ 4 1 7 a と第 2 の導電層 4 1 4 b ~ 4 1 7 b) を形成する。

#### 【 0 2 5 5 】

次に、図 2 3 (D) に示すように第 2 のエッチング処理を行う。同様に I C P エッチング法を用い、エッチングガスに  $\text{CF}_4$  と  $\text{Cl}_2$  と  $\text{O}_2$  を混合して、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F 電力 (13.56 MHz) を供給し、プラズマを生成して行う。基板側 (試料ステージ) には 5 0 W の R F (13.56 MHz) 電力を投入し、第 1 のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件により W 膜を異方性エッチングし、かつ、それより遅いエッチング速度で第 1 の導電層である T a を異方性エッチングして第 2 の形状の導電層 4 1 9 ~ 4 2 2 (第 1 の導電層 4 1 9 a ~ 4 2 2 a と第 2 の導電層 4 1 9 b ~ 4 2 2 b) を形成する。また図 2 3 (D) では図示しなかったが、ゲート絶縁膜 4 0 6 は、上記エッチングによって第 2 の形状の導電層 4 1 9 ~ 4 2 2 で覆われない領域がさらに 2 0 ~ 5 0 nm 程度エッチングされ薄くなった。

#### 【 0 2 5 6 】

W 膜や T a 膜の  $\text{CF}_4$  と  $\text{Cl}_2$  の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。W と T a のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である  $\text{WF}_6$  が極端に高く、その他の  $\text{WCl}_5$ 、 $\text{TaF}_5$ 、 $\text{TaCl}_5$  は同程度である。従って、 $\text{CF}_4$  と  $\text{Cl}_2$  の混合ガスでは W 膜及び T a 膜共にエッチングされる。しかし、この混合ガスに適量の  $\text{O}_2$  を添加すると  $\text{CF}_4$  と  $\text{O}_2$  が反応して  $\text{CO}$  と  $\text{F}$  になり、F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、T a は F が増大しても相対的にエッチング速度の増加は少ない。また、T a は W に比較して酸化されやすいので、 $\text{O}_2$  を

添加することでT aの表面が酸化される。T aの酸化物はフッ素や塩素と反応しないためさらにT a膜のエッチング速度は低下する。従って、W膜とT a膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をT a膜よりも大きくすることが可能となる。

## 【0257】

そして、マスク409a～マスク412aを除去し、図24(A)に示すように第1のドーピング処理を行い、n型を付与する不純物元素を添加する。例えば、加速電圧を70～120keVとし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行う。ドーピングは、第2の形状の導電層419～422を不純物元素に対するマスクとして用い、第2の導電層419a～422aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の導電層419a～422aと重なる第1の不純物領域425～428と、第1の不純物領域よりも不純物の濃度が高い第2の不純物領域429～432とが形成される。なお本実施例ではマスク409a～412aを除去してからn型を付与する不純物元素を添加したが、本発明はこれに限定されない。図24(A)の工程においてn型を付与する不純物元素を添加してからマスク409a～マスク412aを除去しても良い。

## 【0258】

次に第2の導電層421a、421bを覆うように半導体層404上にレジストからなるマスク433を形成する。マスク433はゲート絶縁膜406を間に挟んで第2の不純物領域431と一部重なっている。そして第2のドーピング処理を行いn型を付与する不純物元素を添加する。この場合、第1のドーピング処理よりもドーズ量を上げて低い加速電圧の条件としてn型を付与する不純物元素をドーピングする。(図24(B))ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{atoms}/\text{cm}^2$ とし、加速電圧を60～100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、第2の形状の導電層419～422がn型を付与する不純物元素に対するマスクとなり、自己整合的にソース領域434～437、ドレイン領域438～441、Lov領域

4 4 2 ~ 4 4 5 が形成される。またマスク 4 3 3 によって L o f f 領域 4 4 6 が形成される。ソース領域 4 3 4 ~ 4 3 7、ドレイン領域 4 3 8 ~ 4 4 1 には  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$  の濃度範囲で n 型を付与する不純物元素を添加する。

## 【 0 2 5 9 】

本実施例はマスク 4 3 3 のサイズを制御することで、L o f f 領域 4 4 6 の長さを自由に設定することが可能である。

## 【 0 2 6 0 】

なお本明細書において、ゲート絶縁膜を介してゲート電極と重なる L D D 領域を L o v 領域と呼ぶ。またゲート絶縁膜を介してゲート電極と重ならない L D D 領域を L o f f 領域と呼ぶ。

## 【 0 2 6 1 】

n 型を付与する不純物元素は、L o f f 領域で  $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  の濃度となるようにし、L o v 領域で  $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$  の濃度となるようにする。

## 【 0 2 6 2 】

なお図 2 4 ( B ) において、上述したような条件で n 型を付与する不純物元素をドーピングする前または後に、半導体層 4 0 4 上にマスク 4 3 3 を形成した状態で加速電圧を 7 0 ~ 1 2 0 k e V とし n 型を付与する不純物元素をドーピングしても良い。上記工程によって、スイッチング用 T F T の L o f f 領域となる部分 4 4 6 の n 型を付与する不純物元素の濃度を抑えつつ、駆動回路に用いられる T F T の L o v 領域となる部分 4 4 2、4 4 3 の n 型を付与する不純物元素の濃度を高めることができる。スイッチング用 T F T の L o f f 領域となる部分 4 4 6 の n 型を付与する不純物元素の濃度を抑えることで、スイッチング用 T F T のオフ電流を提言することが可能である。また駆動回路に用いられる n チャネル型 T F T の L o v 領域となる部分 4 4 3 の n 型を付与する不純物元素の濃度を高めることで、ホットキャリア効果による、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすのを防ぐことができる。

## 【 0 2 6 3 】



そして、マスク 4 5 3 を除去した後、図 2 4 (C) に示すように、p チャネル型 T F T を形成する半導体層 4 0 2、4 0 5 に一導電型とは逆の導電型のソース領域 4 4 7、4 4 8 と、ドレイン領域 4 4 9、4 5 0 と、L o v 領域 4 5 1、4 5 2 を形成する。第 2 の形状を有する導電層 4 1 9、4 2 2 を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、n チャネル型 T F T を形成する半導体層 4 0 2、4 0 3 はレジストマスク 4 5 3 で全面を被覆しておく。ソース領域 4 4 7、4 4 8 及びドレイン領域 4 4 9、4 5 0 と、L o v 領域 4 5 1、4 5 2 とにはそれぞれ異なる濃度でリンが添加されているが、ジボラン ( $B_2H_6$ ) を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を  $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$  となるようにする。

## 【 0 2 6 4 】

以上までの工程でそれぞれの半導体層 4 0 2 ~ 4 0 5 に不純物領域（ソース領域、ドレイン領域、L o v 領域、L o f f 領域）が形成される。半導体層と重なる第 2 の導電層 4 1 9 ~ 4 2 2 がゲート電極として機能する。

## 【 0 2 6 5 】

こうして導電型の制御を目的として、それぞれの半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（R T A 法）を適用することができる。熱アニール法では酸素濃度が 1 p p m 以下、好ましくは 0. 1 p p m 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 °C、代表的には 5 0 0 ~ 6 0 0 °C で行うものであり、本実施例では 5 0 0 °C で 4 時間の熱処理を行う。ただし、4 1 9 ~ 4 2 2 に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

## 【 0 2 6 6 】

さらに、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 °C で 1 ~ 1 2 時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）

を行っても良い。

【0267】

次いで、第1の層間絶縁膜455は酸化窒化シリコン膜から100～200nmの厚さで形成する。(図25(A))その上に有機絶縁物材料から成る第2の層間絶縁膜458を形成する。

【0268】

そして、ゲート絶縁膜406、第1の層間絶縁膜455、第2の層間絶縁膜458にコンタクトホールを形成し、該コンタクトホールを介して、ソース領域447、435、436、448と接するようにソース配線459～462を形成した。また同様に、ドレイン領域449、439、440、450と接するドレイン配線463～465を形成する(図25(B))。

【0269】

なお、ゲート絶縁膜406、第1の層間絶縁膜455、第2の層間絶縁膜458が $\text{SiO}_2$ 膜または $\text{SiON}$ 膜の場合、 $\text{CF}_4$ と $\text{O}_2$ とを用いたドライエッチングでコンタクトホールを形成するのが好ましい。またゲート絶縁膜406、第1の層間絶縁膜455、第2の層間絶縁膜458が有機樹脂膜の場合、 $\text{CHF}_3$ を用いたドライエッチング、または $\text{BHF}$ (緩衝フッ酸： $\text{HF} + \text{NH}_4\text{F}$ )でコンタクトホールを形成するのが好ましい。またゲート絶縁膜406、第1の層間絶縁膜455、第2の層間絶縁膜458が異なる材料で形成されている場合、膜ごとにエッチングの方法及び用いるエッチャントやエッチングガスの種類を変えることが好ましいが、エッチングの方法及び用いるエッチャントやエッチングガスを全て同じにしてコンタクトホールを形成しても良い。

【0270】

次に、有機樹脂からなる第3層間絶縁膜467を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することができる。特に、第3層間絶縁膜467は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5 $\mu\text{m}$ (さらに好ましくは2～4 $\mu\text{m}$ )とすれば良い。

## 【0271】

次に第3層間絶縁膜467に、ドレイン配線465に達するコンタクトホールを形成し、画素電極468を形成する。本実施例では酸化インジウム・スズ（ITO）膜を110nmの厚さに形成し、パターニングを行って画素電極468を形成する。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極468がEL素子の陽極となる。（図25（C））

## 【0272】

次に、樹脂材料でなる第1バンク469及び第2バンク470を形成する。第1バンク469及び第2バンク470は後に形成されるEL層及び陰極を隣り合う画素間で分離するために設けられる。よって第1バンク469よりも第2バンク470の方が横に張り出している構成にすることが望ましい。なお第1バンク469と第2バンク470とを合わせた厚さは1～2μm程度であることが好ましいが、後に形成されるEL層及び陰極を隣り合う画素間で分離することができるならこの厚さに限らない。また第1バンク469及び第2バンク470は絶縁膜で形成されることが必要であり、例えば酸化物、樹脂等で形成することが可能である。そして第1バンク469と第2バンク470は互いに同じ材料で形成されていても、異なる材料で形成されていてもどちらでも良い。第1バンク469及び第2バンク470は画素と画素との間にストライプ状に形成される。第1バンク469及び第2バンク470はソース配線（ソース信号線）上に沿って形成しても良いし、ゲート配線（ゲート信号線）上に沿って形成しても良い。なお第1バンク469及び第2バンク470を樹脂に顔料等を混ぜたもので形成しても良い。（図26（A））

## 【0273】

次に、EL層471及び陰極（MgAg電極）472を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層471の膜厚は800～200nm（典型的には100～120nm）、陰極472の厚さは180～300nm（典型的には200～250nm）とすれば良い。なお、本実施例では一面素しか図示されていないが、このとき同時に赤色に発光するEL層、緑色に発光する

EL層及び青色に発光するEL層が形成される。なおバンク470上にEL層と陰極を形成する材料が一部積層されるが、本明細書ではこれらをEL層471と陰極472に含めない。

【0274】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層471及び陰極472を形成する。但し、EL層471は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層471及び陰極472を形成するのが好ましい。

【0275】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0276】

なお、本実施例ではEL層471を発光層のみからなる単層構造とするが、EL層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。EL層471としては公知の材料を用いることができる。公知の材料としては、EL駆動電圧を考慮すると有機材料を用いるのが好ましい。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料を用いることが可能である。

【0277】

こうして図26(B)に示すような構造のアクティブマトリクス基板が完成する。なお、第1バンク469と第2バンク470を形成した後、陰極472を形

成するまでの工程をマルチチャンバー方式（またはインライン方式）の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

## 【 0 2 7 8 】

本実施例において、スイッチング用 T F T 5 0 1 の半導体層は、ソース領域 5 0 4、ドレイン領域 5 0 5、L o f f 領域 5 0 6、L o v 領域 5 0 7、チャネル形成領域 5 0 8 を含んでいる。L o f f 領域 5 0 6 はゲート絶縁膜 4 0 6 を介してゲート電極 4 2 1 と重ならないように設けられている。また L o v 領域 5 0 7 はゲート絶縁膜 4 0 6 を介してゲート電極 4 2 1 と重なるように設けられている。このような構造はオフ電流を低減する上で非常に効果的である。

## 【 0 2 7 9 】

また、本実施例ではスイッチング用 T F T 5 0 1 はシングルゲート構造としているが、本発明ではスイッチング用 T F T はダブルゲート構造やその他のマルチゲート構造を有していても良い。ダブルゲート構造とすることで実質的に二つの T F T が直列された構造となり、オフ電流をさらに低減することができるという利点がある。

## 【 0 2 8 0 】

また本実施例ではスイッチング用 T F T 5 0 1 は n チャネル型 T F T であるが、p チャネル型 T F T であってもかまわない。

## 【 0 2 8 1 】

E L 駆動用 T F T 5 0 2 の半導体層は、ソース領域 5 1 0、ドレイン領域 5 1 1、L o v 領域 5 1 2、チャネル形成領域 5 1 3 を含んでいる。L o v 領域 5 1 2 はゲート絶縁膜 4 0 6 を介してゲート電極 4 2 2 と重なるように設けられている。なお本実施例において E L 駆動用 T F T 5 0 2 は L o f f 領域を有していないが、L o f f 領域を有する構成にしても良い。

## 【 0 2 8 2 】

また本実施例では E L 駆動用 T F T 5 0 2 は p チャネル型 T F T であるが、n チャネル型 T F T であってもかまわない。

## 【 0 2 8 3 】

なお、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部

にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

## 【0284】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFT503として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれ得る。

## 【0285】

本実施例の場合、CMOS回路のnチャネル型TFT503の半導体層は、ソース領域521、ドレイン領域522、Lov領域523及びチャネル形成領域524を含んでいる。

## 【0286】

また本実施例の場合、CMOS回路のpチャネル型TFT504の半導体層は、ソース領域531、ドレイン領域532、Lov領域533及びチャネル形成領域534を含んでいる。

## 【0287】

なお、実際には図26（B）まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとEL素子の信頼性が向上する。

## 【0288】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷できるまでした状態を本明細書中ではEL表示装置（ELディスプレイ）という。

## 【 0 2 8 9 】

上述したように本実施例の作製行程では、ゲート電極のチャネル長方向の長さ（以下単にゲート電極の幅と呼ぶ）が異なっているため、ゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第 1 のゲート電極の下に位置する半導体層中のイオン濃度を、第 1 のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

## 【 0 2 9 0 】

またマスクを用いて L o f f 領域を形成するために、エッチングで制御しなくてはならないのは L o v 領域の幅のみであり、L o f f 領域と L o v 領域の位置の制御が容易である。

## 【 0 2 9 1 】

なお本実施例では E L 層から発せられる光が基板側に向いている例について説明したが、本発明はこれに限定されず、E L 層から発せられる光が基板の上に向いているような構成であっても良い。この場合 E L 素子の陰極が画素電極となり、E L 駆動用 T F T は n チャネル型 T F T であることが望ましい。

## 【 0 2 9 2 】

なお本実施例では画素がスイッチング用 T F T と E L 駆動用 T F T の 2 つの T F T を有している場合について説明した。しかし本実施例はこれに限定されない。画素が 3 つ以上 T F T を有している場合でも、本実施例を適用することは可能である。

## 【 0 2 9 3 】

本発明の E L ディスプレイの作製方法は、本実施例において示した作製方法に限定されることはなく、他のあらゆる作製方法を用いることが可能である。

## 【 0 2 9 4 】

また本実施例は、実施例 1 ～ 7 と自由に組み合わせて実施することが可能である。

## 【 0 2 9 5 】

（実施例 9）

本発明を実施して形成されたE Lディスプレイは、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部に用いることができる。例えば、T V放送等を大画面で鑑賞するには対角3 0インチ以上（典型的には4 0インチ以上）のE L表示装置（E Lディスプレイを筐体に組み込んだ電気光学装置）の表示部として本発明のE Lディスプレイを用いるとよい。本発明のE Lディスプレイは様々な電子機器の表示部として用いることができる。

## 【0 2 9 6】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（D V D）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、E Lディスプレイを用いることが望ましい。それら電子機器の具体例を図2 7、図2 8に示す。

## 【0 2 9 7】

図2 7（A）は携帯情報端末であり、2 7 0 1は表示用パネル、2 7 0 2は操作パネルである。表示用パネル2 7 0 1と操作パネル2 7 0 2とは接続部2 7 0 3において接続されている。そして接続部2 7 0 3における、表示用パネル2 7 0 1の表示部2 7 0 4が設けられている面と操作パネル2 7 0 2の操作キー2 7 0 6が設けられている面との角度 $\theta$ は、任意に変えることができる。

## 【0 2 9 8】

表示用パネル2 7 0 1は表示部2 7 0 4を有している。また図2 7（A）に示した携帯情報端末は電話としての機能を有しており、表示用パネル2 7 0 1は音声出力部2 7 0 5を有しており、音声は音声出力部2 7 0 5から出力される。そして本発明のE Lディスプレイは表示部2 7 0 4に用いられている。

## 【0 2 9 9】



操作パネル 2702 は操作キー 2706、電源スイッチ 2707、音声入力部 2708、CCD 受光部 2709 を有している。なお図 27 (A) では操作キー 2706 と電源スイッチ 2707 とを別個に設けたが、操作キー 2706 の中に電源スイッチ 2707 が含まれる構成にしても良い。

## 【0300】

音声入力部 2707 において、音声が入力される。CCD 受光部 2709 において入力された画像が電子データとして携帯情報端末に取り込まれる。

## 【0301】

なお図 27 (A) では表示パネル 2701 が音声出力部 2705 を有し、操作パネルが音声入力部 2708 を有しているが、本実施例はこの構成に限定されない。表示パネル 2701 が音声入力部 2708 を有し、操作パネルが音声出力部 2705 を有していても良い。また音声出力部 2705 と音声入力部 2708 とが共に表示パネル 2701 に設けられていても良いし、音声出力部 2705 と音声入力部 2708 とが共に操作パネル 2702 に設けられていても良い。

## 【0302】

なお図 27 (A) では携帯情報端末はアンテナを有していないが、必要に応じてアンテナを設けても良い。

## 【0303】

図 27 (B) は携帯電話であり、本体 2601、音声出力部 2602、音声入力部 2603、表示部 2604、操作スイッチ 2605、アンテナ 2606 を含む。本発明の EL ディスプレイは表示部 2604 に用いることができる。なお、表示部 2604 は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

## 【0304】

本発明の EL ディスプレイは消費電力を抑えることが可能なので、携帯型の電子機器において特に有効である。

## 【0305】

図 28 (A) は EL 表示装置であり、筐体 2001、支持台 2002、表示部

2003等を含む。本発明のELディスプレイは表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

## 【0306】

図28(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のELディスプレイは表示部2102に用いることができる。

## 【0307】

図28(C)は頭部取り付け型の電子機器の一部(右片側)であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部2204、光学系2205、表示部2206等を含む。本発明のELディスプレイは表示部2206に用いることができる。

## 【0308】

図28(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(DVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305等を含む。表示部(a)2304は主として画像情報を表示し、表示部(b)2305は主として文字情報を表示するが、本発明のELディスプレイはこれら表示部(a)、(b)2304、2305に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

## 【0309】

図28(E)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2401、表示部2402、アーム部2403を含む。本発明のELディスプレイは表示部2402に用いることができる。

## 【0310】

図28(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本発明のELディスプレイは表示部2503に用いることができる。

## 【0311】

なお、将来的に E L 材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

#### 【 0 3 1 2 】

また、上記電子機器はインターネットや C A T V（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。E L 材料の応答速度は非常に高いため、E L ディスプレイは動画表示に好ましい。

#### 【 0 3 1 3 】

また、E L ディスプレイは発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に E L ディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

#### 【 0 3 1 4 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例は、実施例 1 ～ 8 と自由に組み合わせて実施することが可能である。

#### 【 0 3 1 5 】

##### 【発明の効果】

本発明の第 1 の構成によって、E L 素子に流れる電流の大きさをおある程度抑えることができ、E L ディスプレイの消費電力を抑えることができる。また本発明の第 2 の構成によって、画素に入力されるデジタルビデオ信号のビット数が少なくなるので、ソース信号線駆動回路及びゲート信号線駆動回路によってデジタルビデオ信号が画素に書き込まれる回数が少なくなる。そのためソース信号線駆動回路及びゲート信号線駆動回路の消費電力を抑えることができ、E L ディスプレイの消費電力も抑えることができる。また本発明の第 3 の構成によって、E L 層の温度が変化しても E L 素子に流れる電流の大きさを一定に保つことができる。よって E L ディスプレイの環境温度が上昇し、E L ディスプレイの消費電力が

大きくなるのを抑えることができる。

【 0 3 1 6 】

本発明は上述した第 1 から第 3 の構成によって、E L ディスプレイ及び該 E L ディスプレイを用いた電子機器の消費電力を抑えることが可能である。なお本発明は、第 1 から第 3 の構成のいずれか 1 つを有していればよい。また第 1 から第 3 の構成のうちの複数の構成を有していても良いし、全てを有していても良い。

【図面の簡単な説明】

【図 1】 本発明の E L ディスプレイのブロック図。

【図 2】 本発明の E L ディスプレイのブロック図。

【図 3】 本発明の E L ディスプレイのブロック図。

【図 4】 本発明の E L ディスプレイのブロック図。

【図 5】 本発明の E L ディスプレイの電源供給線とモニター用 E L 素子の接続の様子を示す図。

【図 6】 本発明の E L ディスプレイの画素部を示す図。

【図 7】 本発明の E L ディスプレイの画素の拡大図。

【図 8】 本発明の E L ディスプレイの駆動方法を示す図。

【図 9】 本発明の E L ディスプレイのブロック図。

【図 1 0】 本発明の E L ディスプレイの画素部を示す図。

【図 1 1】 本発明の E L ディスプレイの画素の拡大図。

【図 1 2】 本発明の E L ディスプレイの駆動方法を示す図。

【図 1 3】 本発明の E L ディスプレイのソース信号線駆動回路の回路図。

【図 1 4】 ラッチ (A) の一部の上面図。

【図 1 5】 切り変え回路の回路図。

【図 1 6】 アナログスイッチの等価回路図。

【図 1 7】 本発明の E L ディスプレイのソース信号線駆動回路の回路図。

【図 1 8】 クロック信号制御回路、タイミング信号制御回路、スタートパルス信号制御回路の回路図。

【図 1 9】 本発明の E L ディスプレイのソース信号線駆動回路の回路図。

【図 2 0】 本発明の E L ディスプレイのソース信号線駆動回路の回路図。

【図 2 1】 本発明の E L ディスプレイの電源供給線とモニター用 E L 素子の接続の様子を示す図。

【図 2 2】 加算回路の回路図。

【図 2 3】 E L ディスプレイの作製方法を示す図。

【図 2 4】 E L ディスプレイの作製方法を示す図。

【図 2 5】 E L ディスプレイの作製方法を示す図。

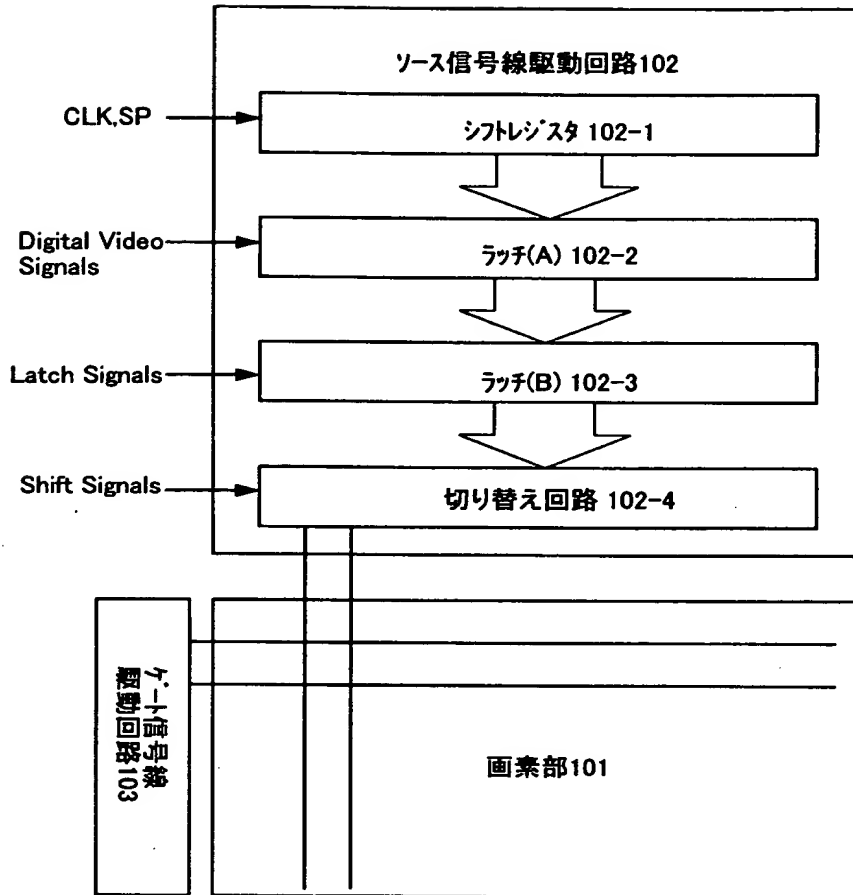
【図 2 6】 E L ディスプレイの作製方法を示す図。

【図 2 7】 本発明の E L ディスプレイを用いた電子機器の図。

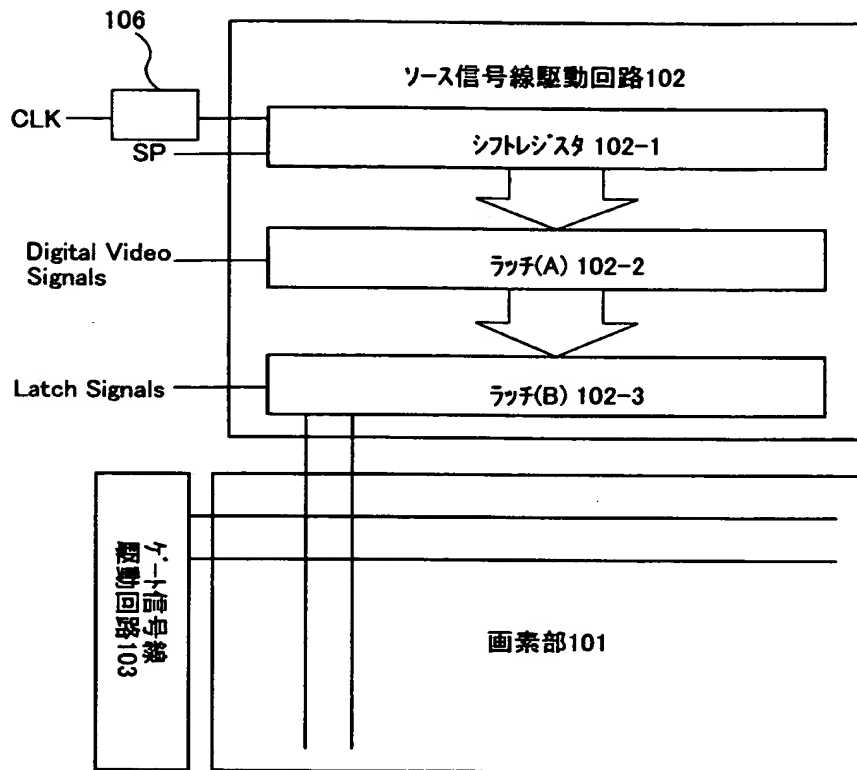
【図 2 8】 本発明の E L ディスプレイを用いた電子機器の図。

【書類名】 図面

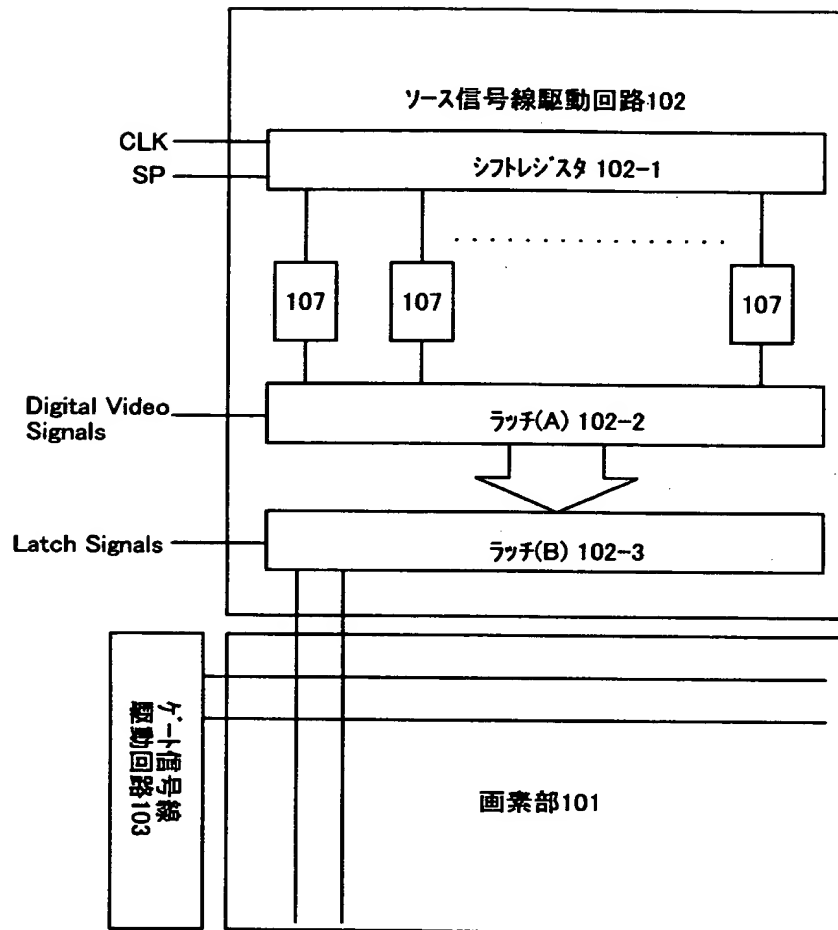
【図 1】



【図 2】

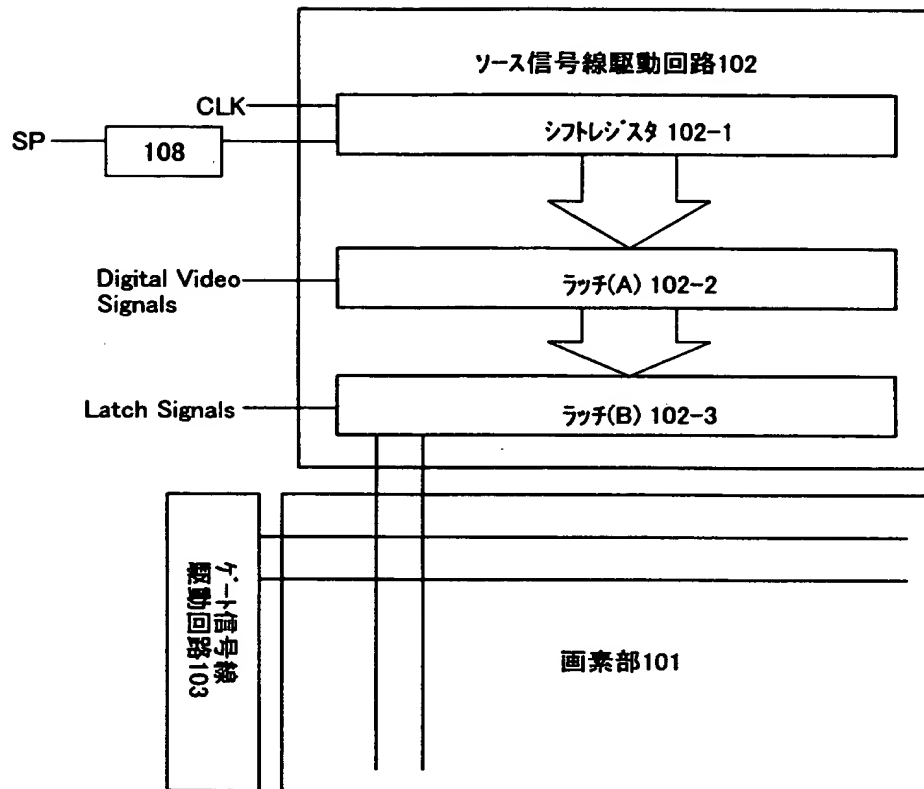


【図 3】

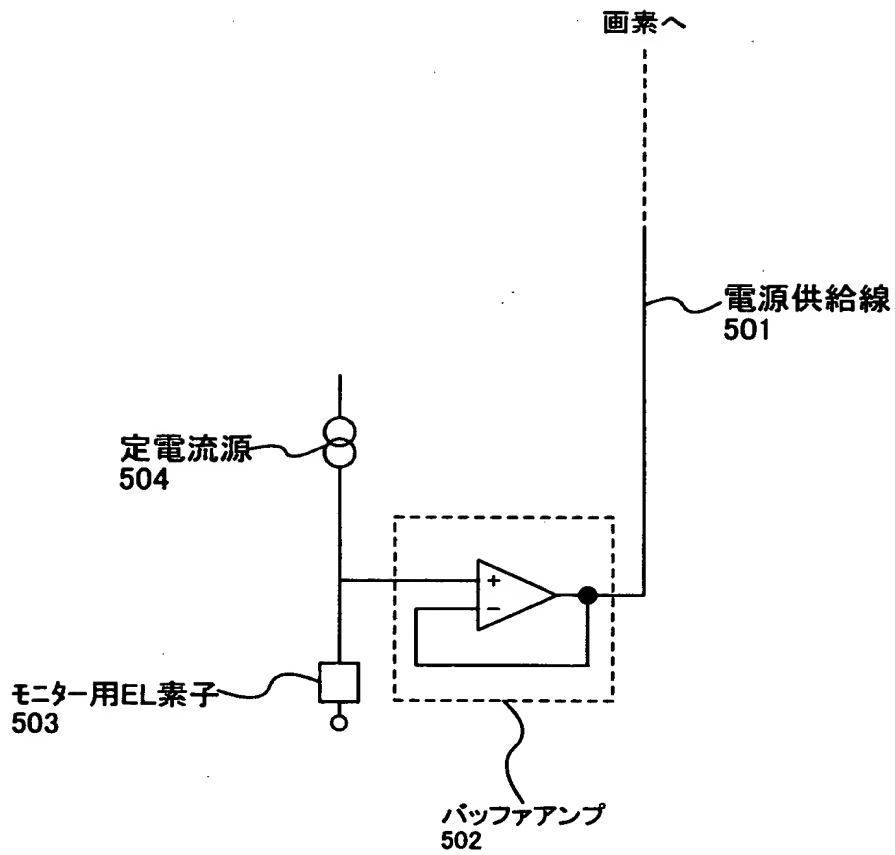




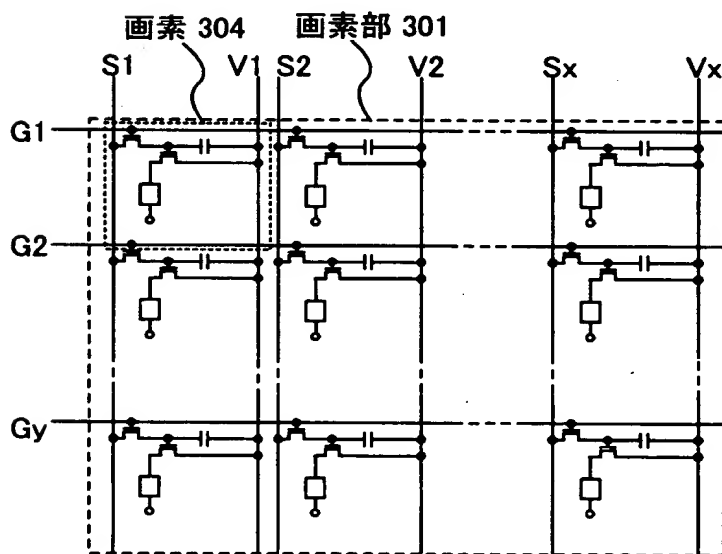
【図 4】



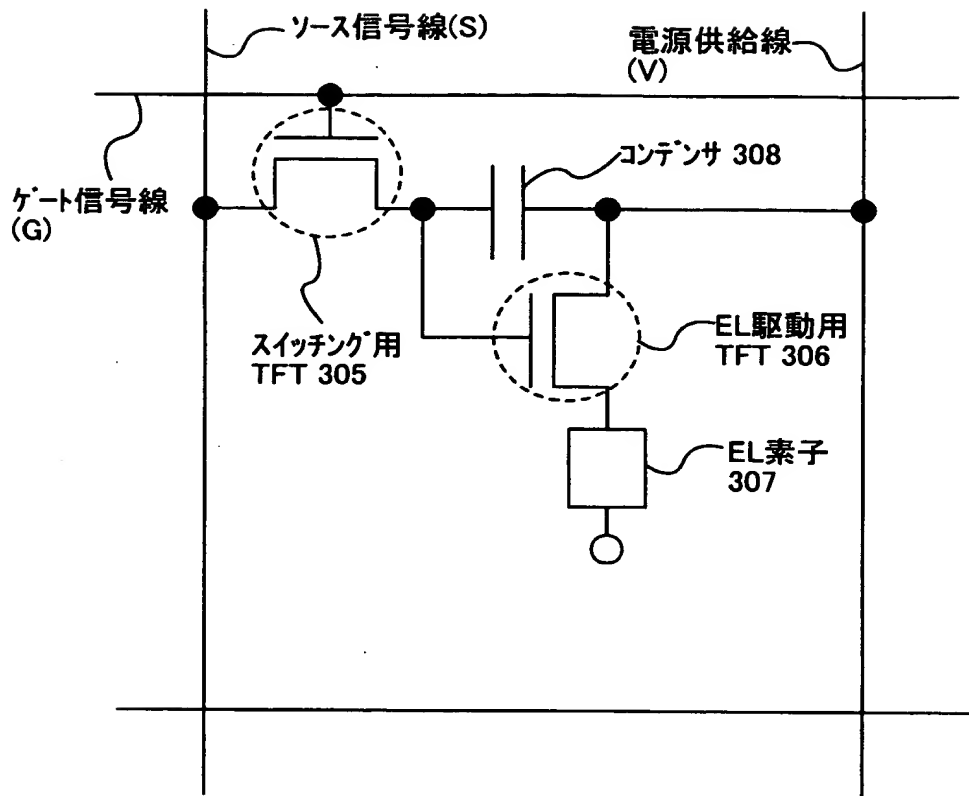
【図 5】



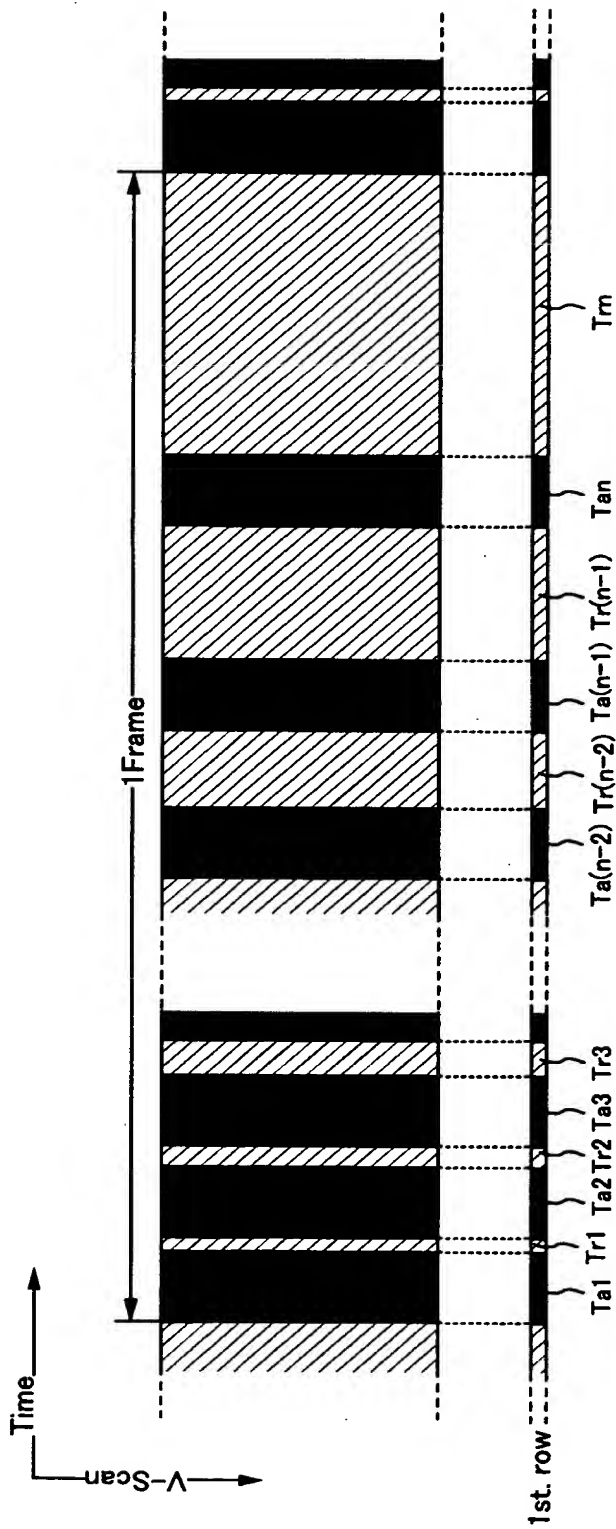
【図 6】



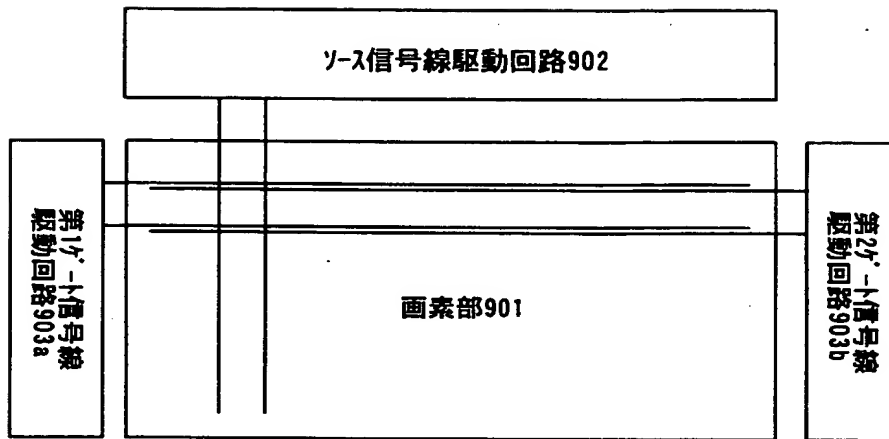
【図 7】



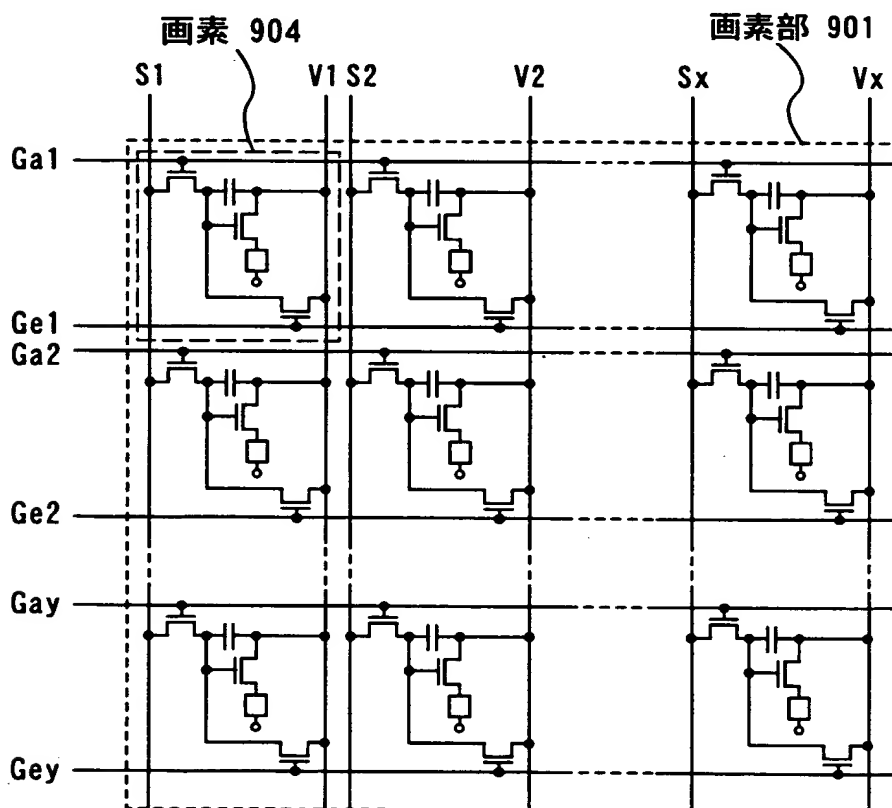
【図 8】



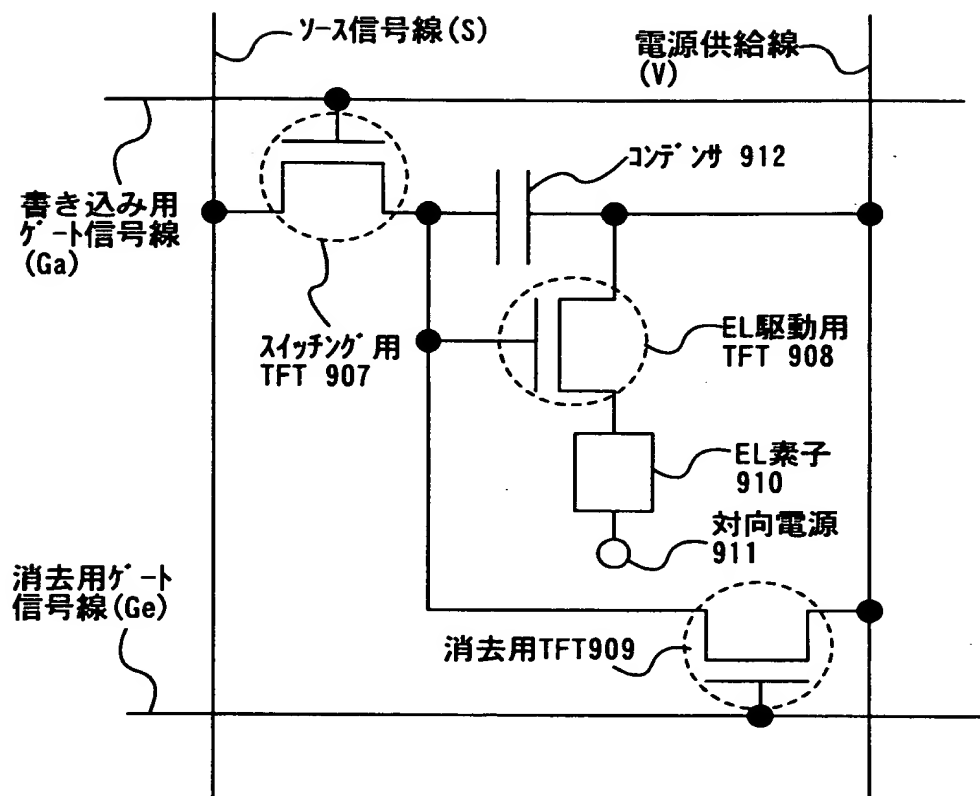
【図 9】



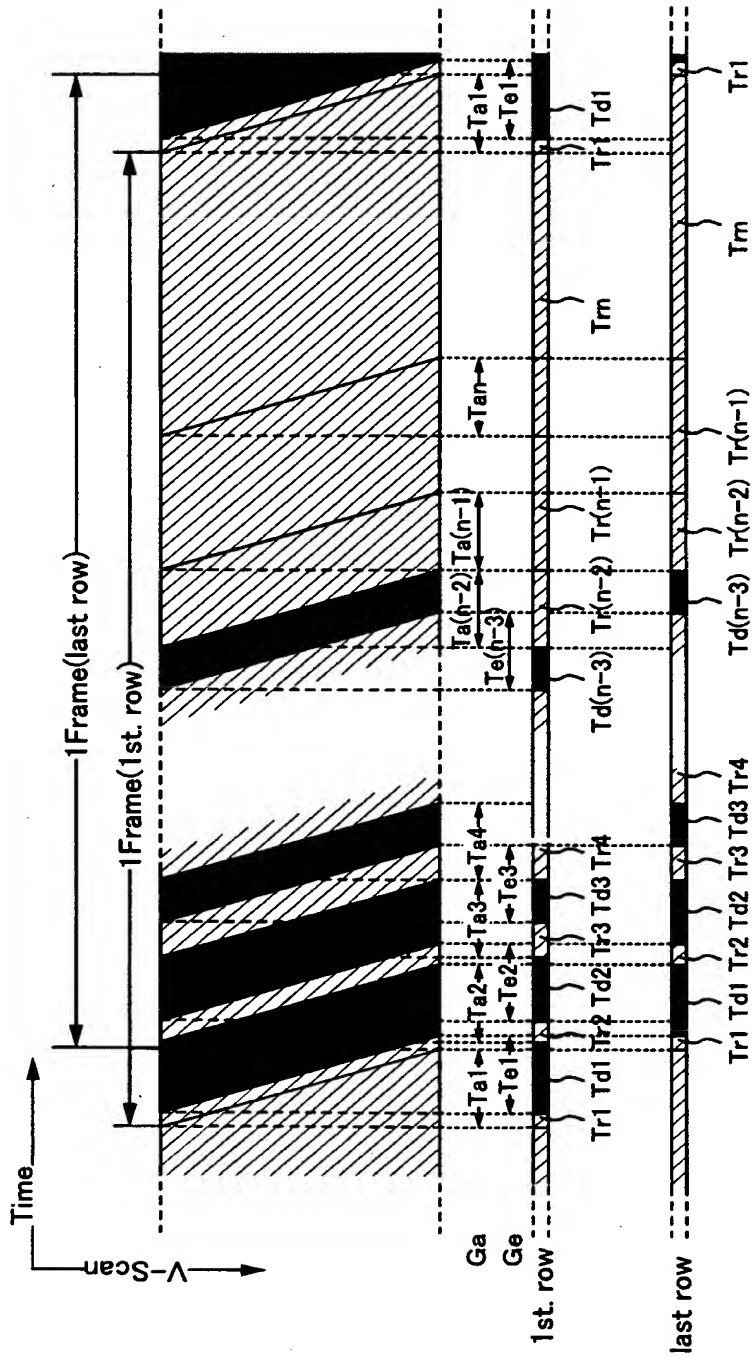
【図 10】



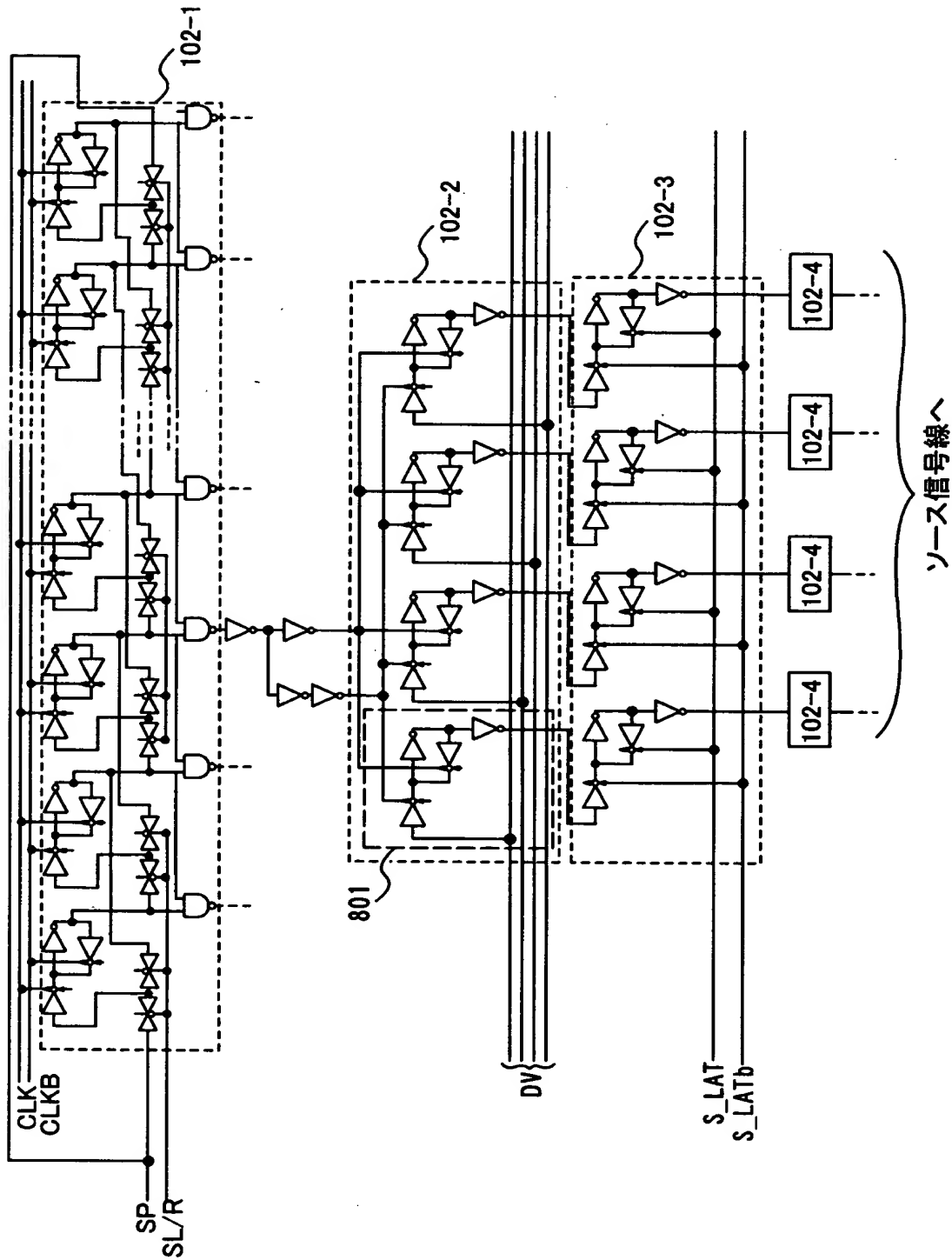
【図 11】



【図 12】

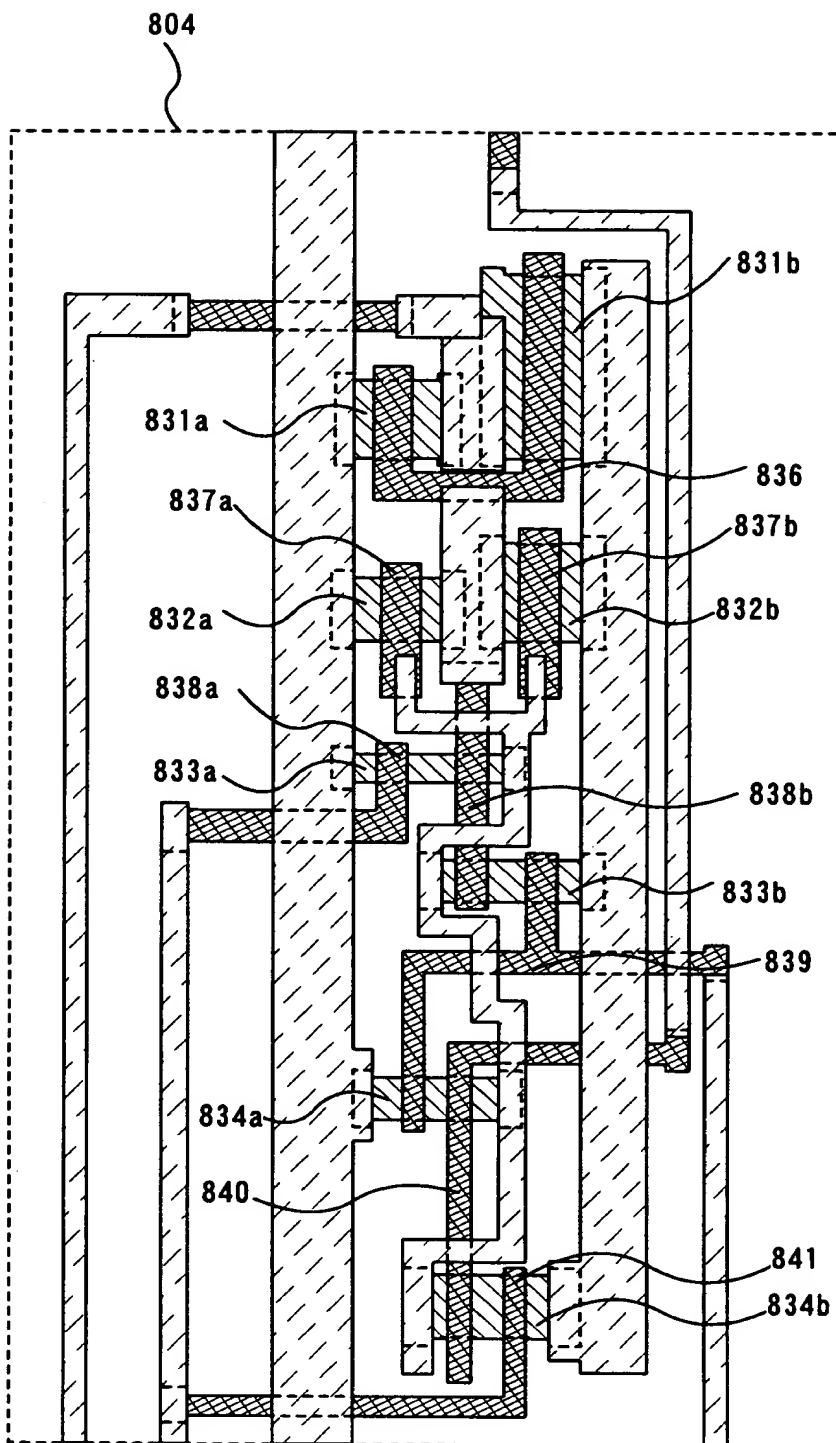


【図 13】



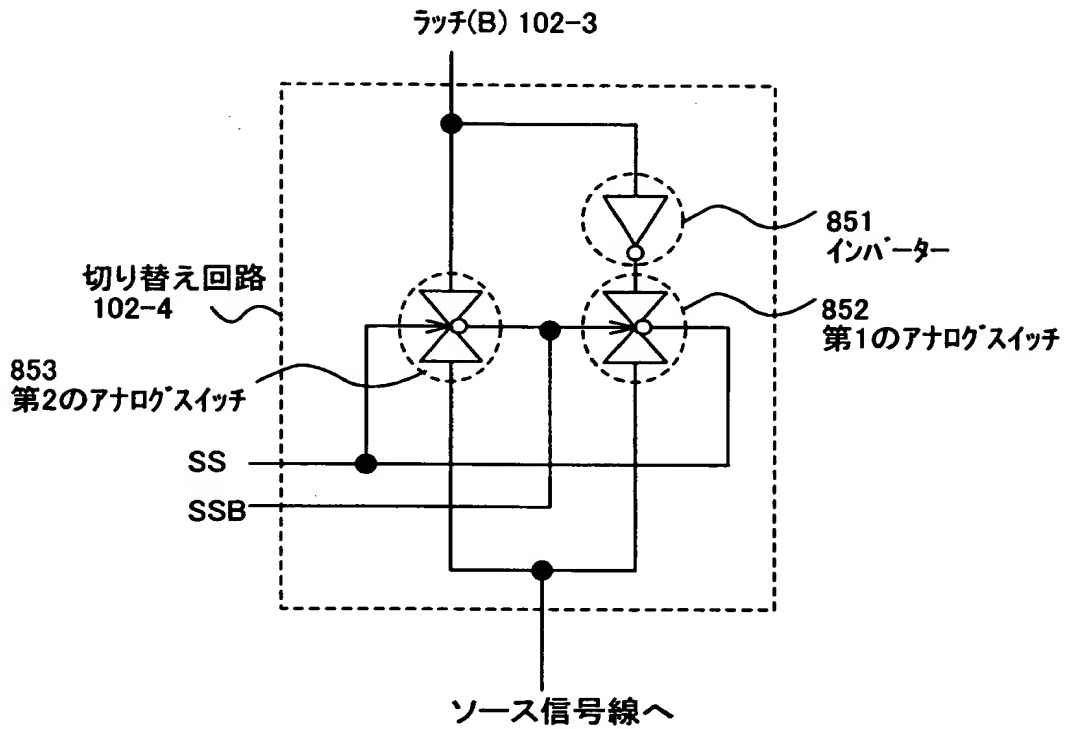


【図 14】

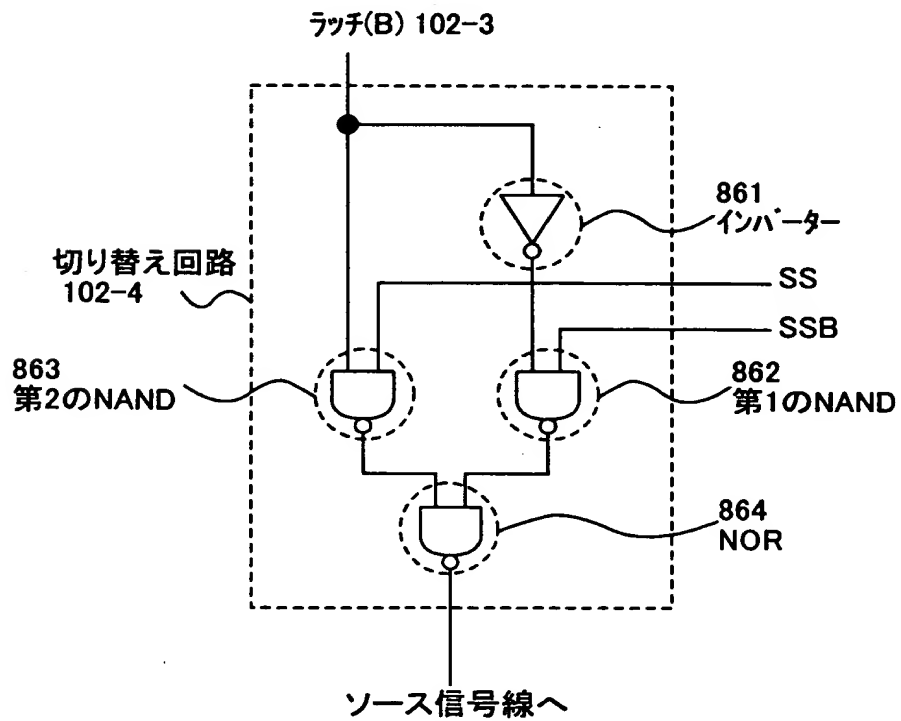


【図 15】

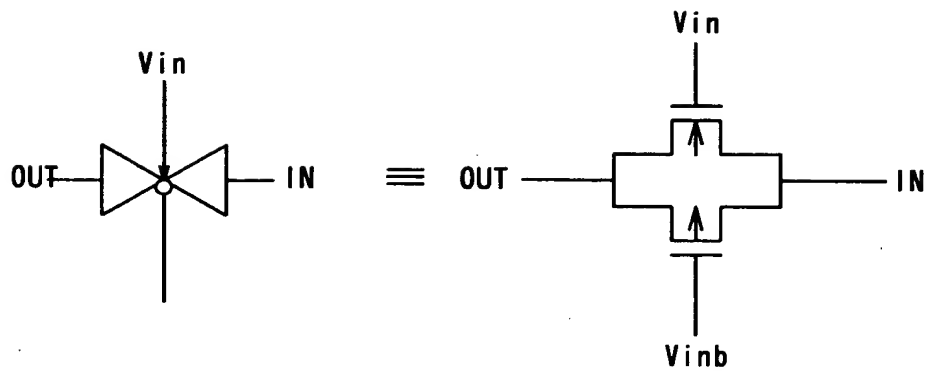
(A)



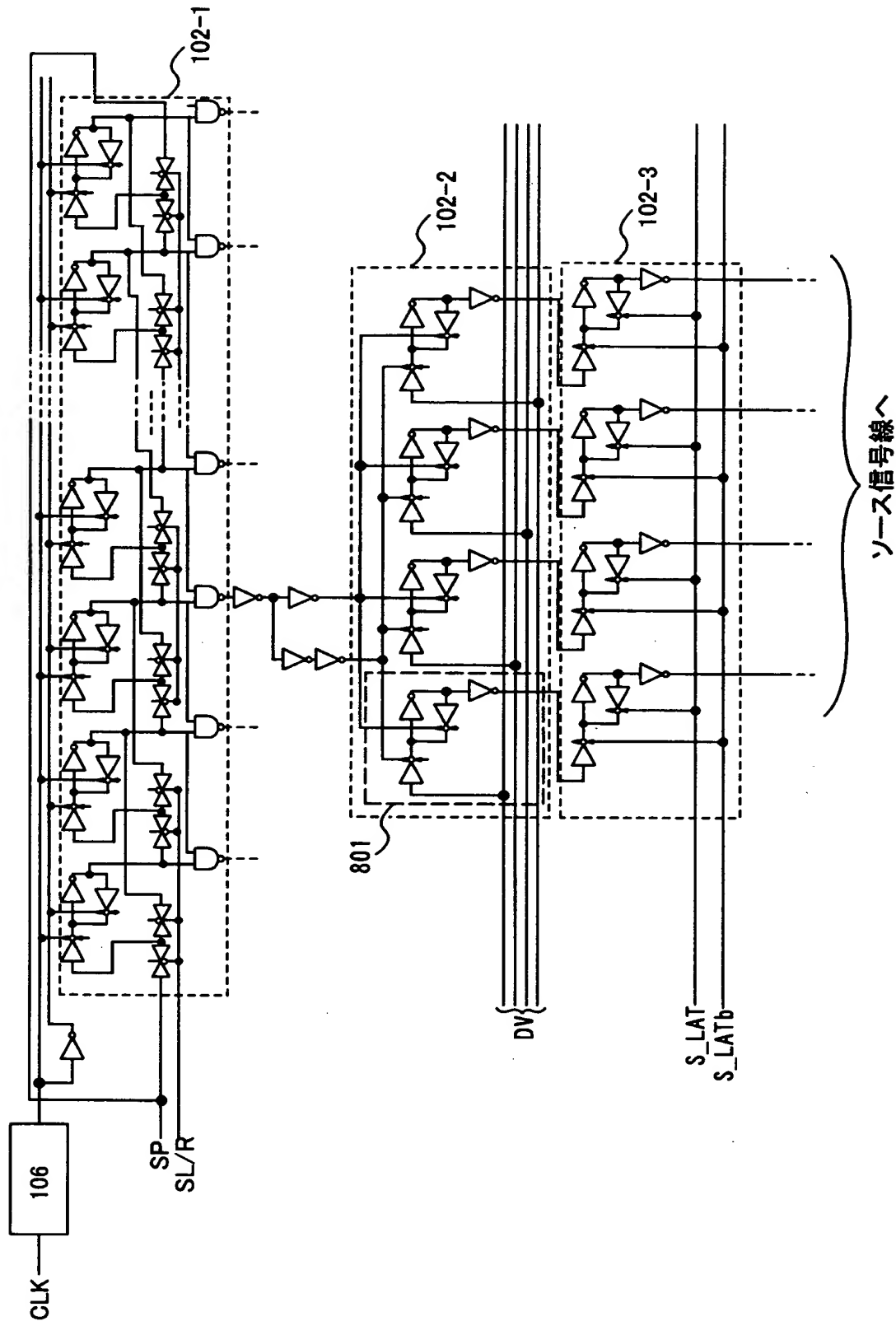
(B)



【図 1 6】

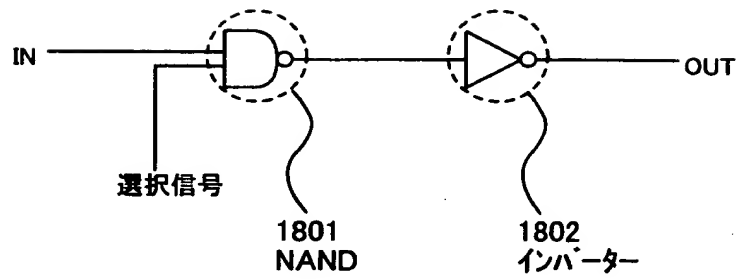


【図 17】

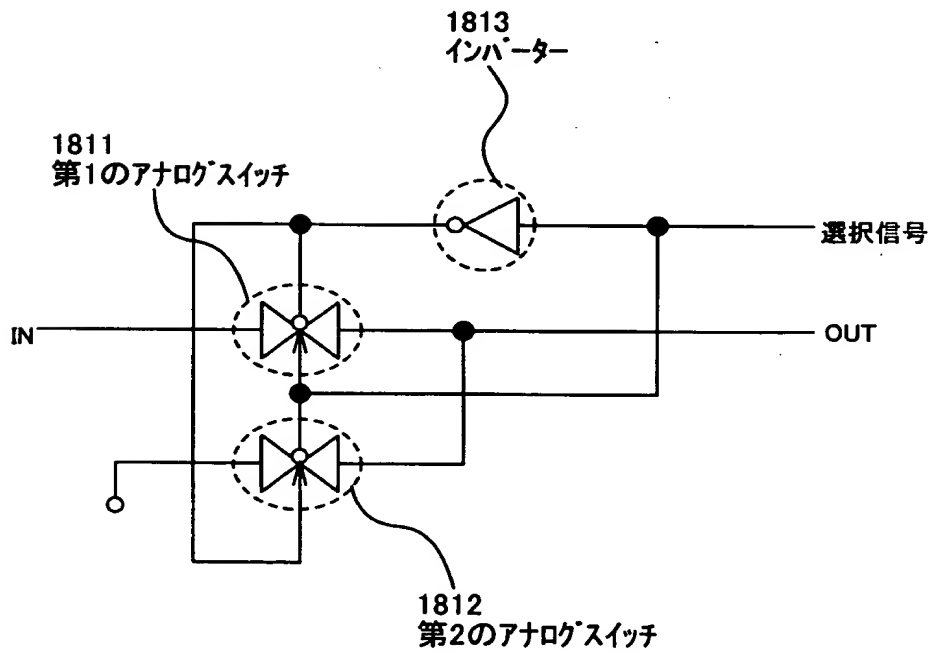


【図 1 8】

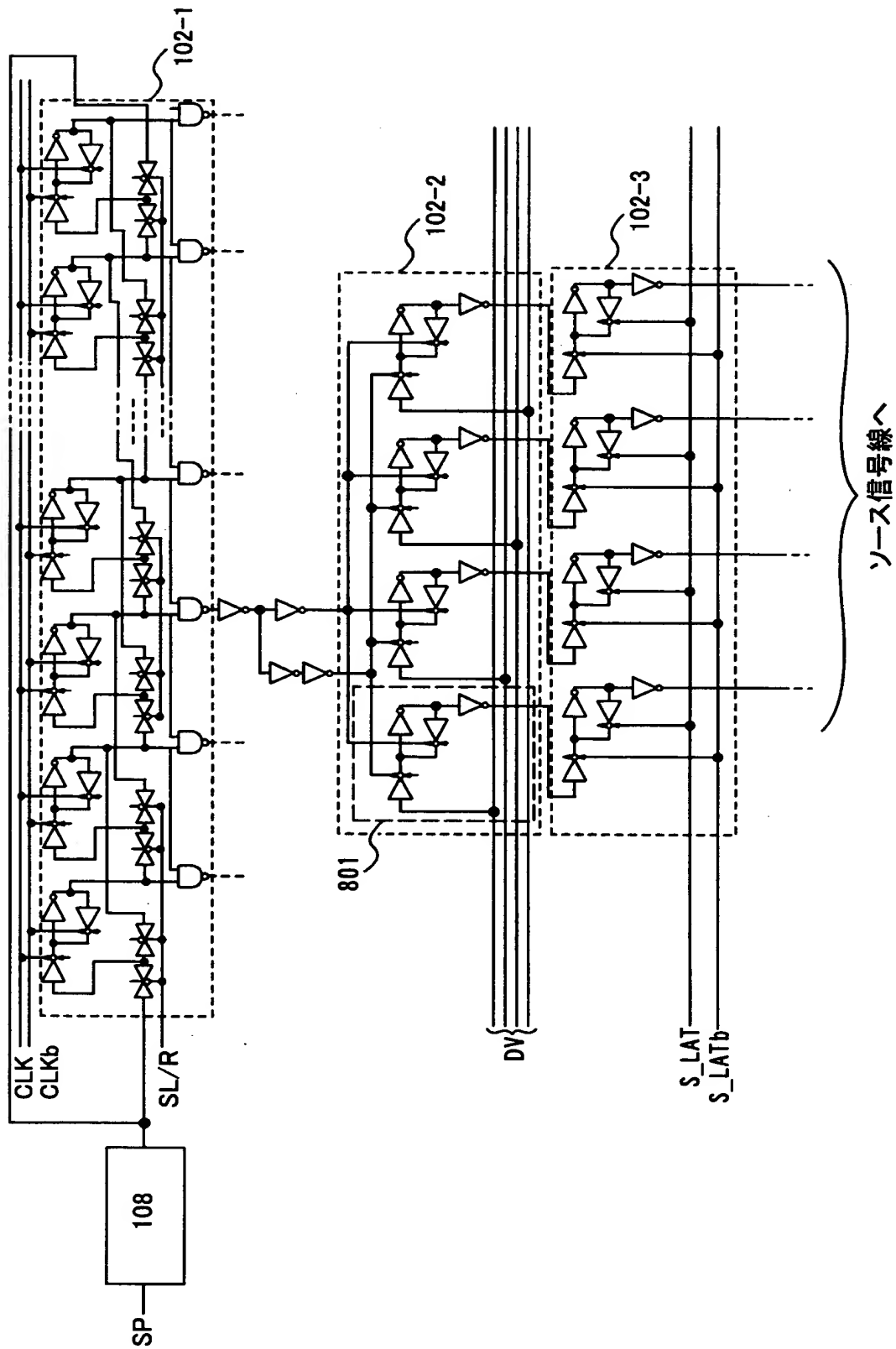
(A)



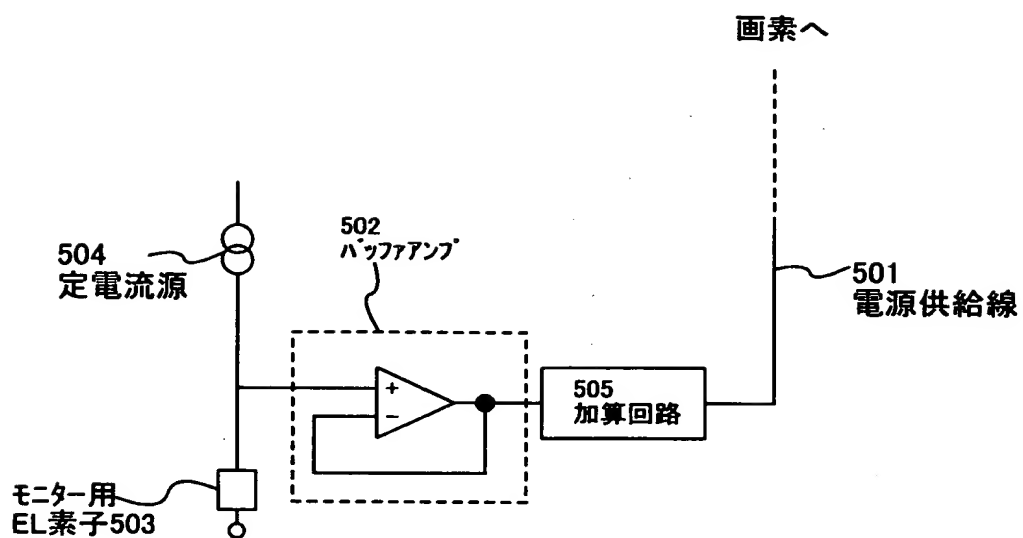
(B)





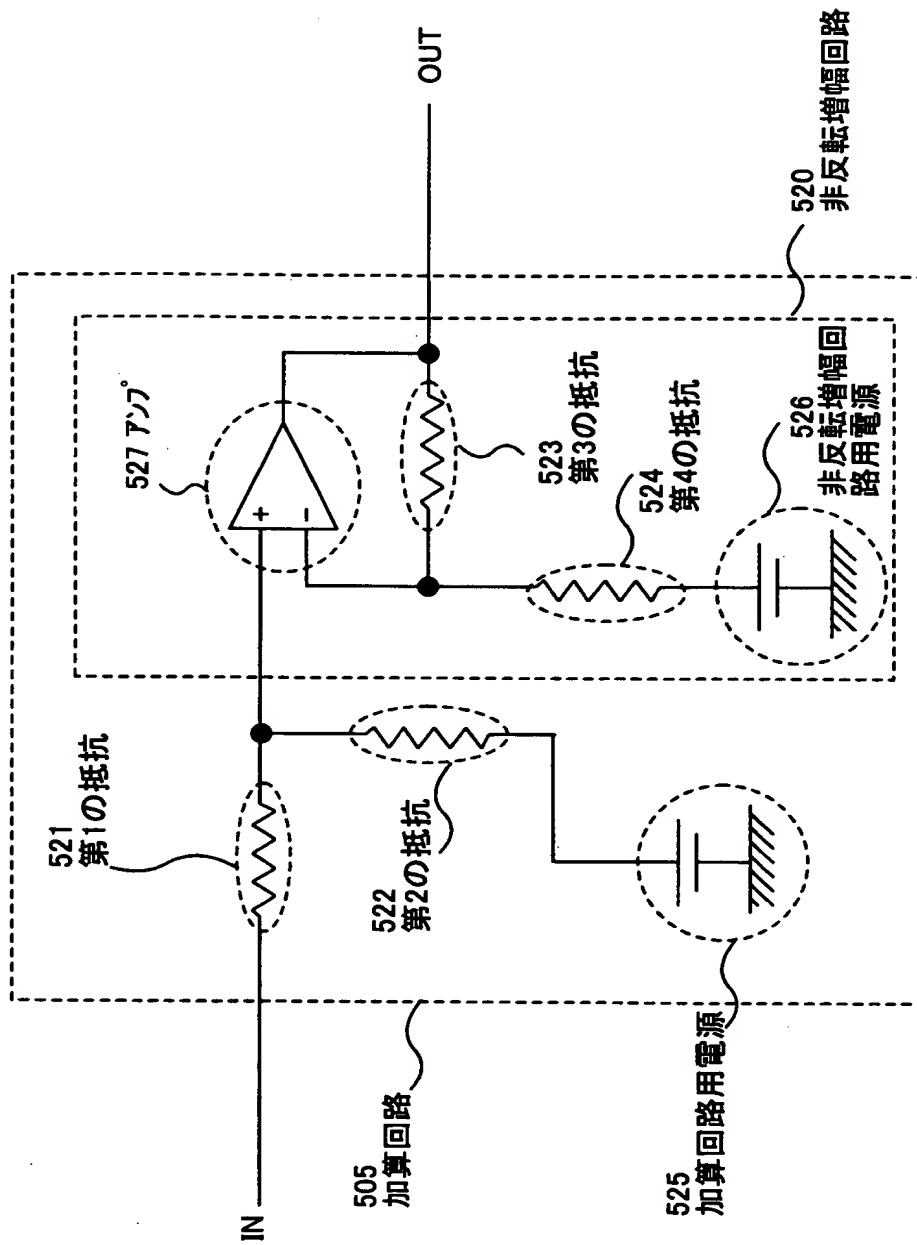


【図 2 1】

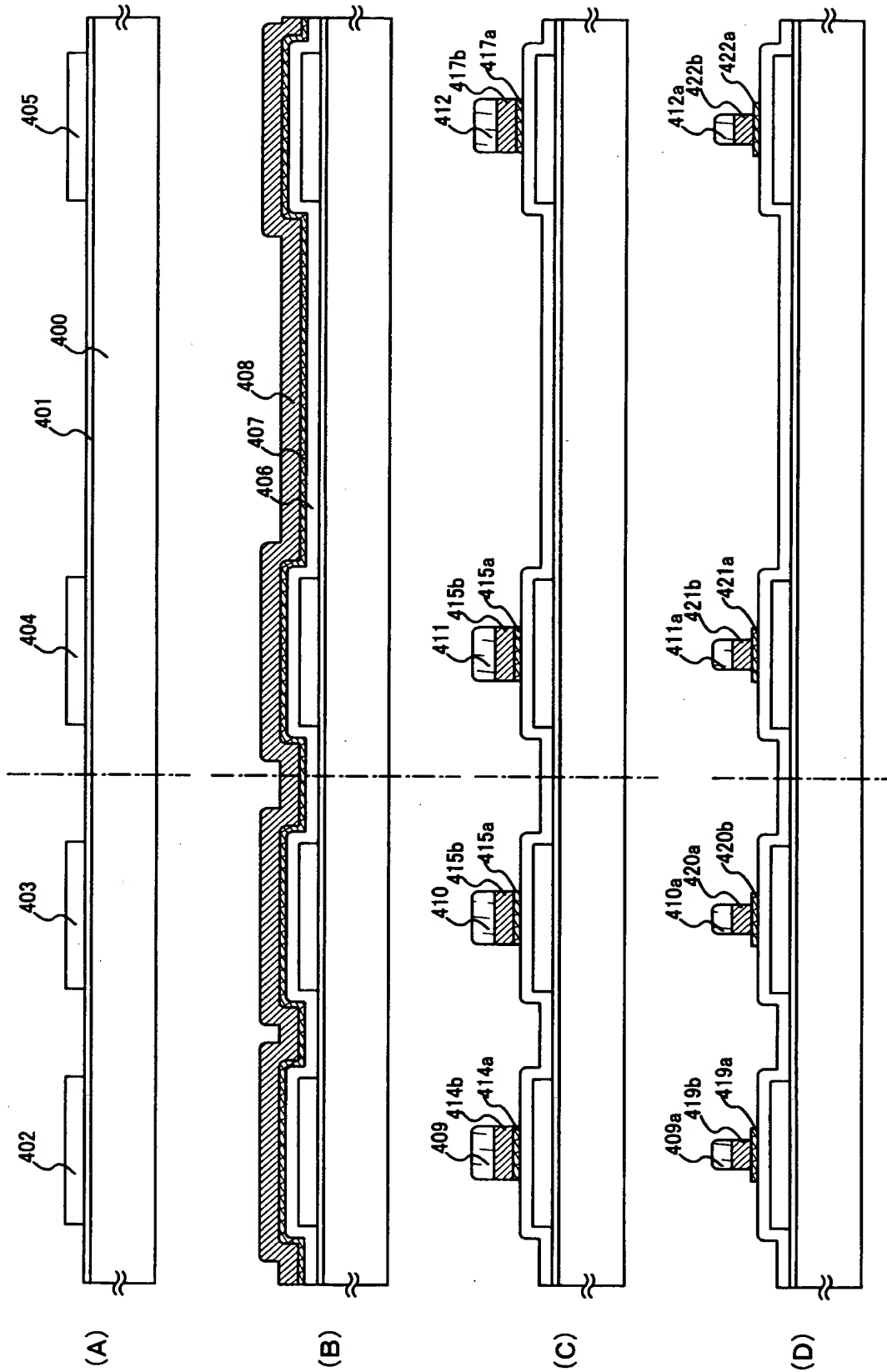




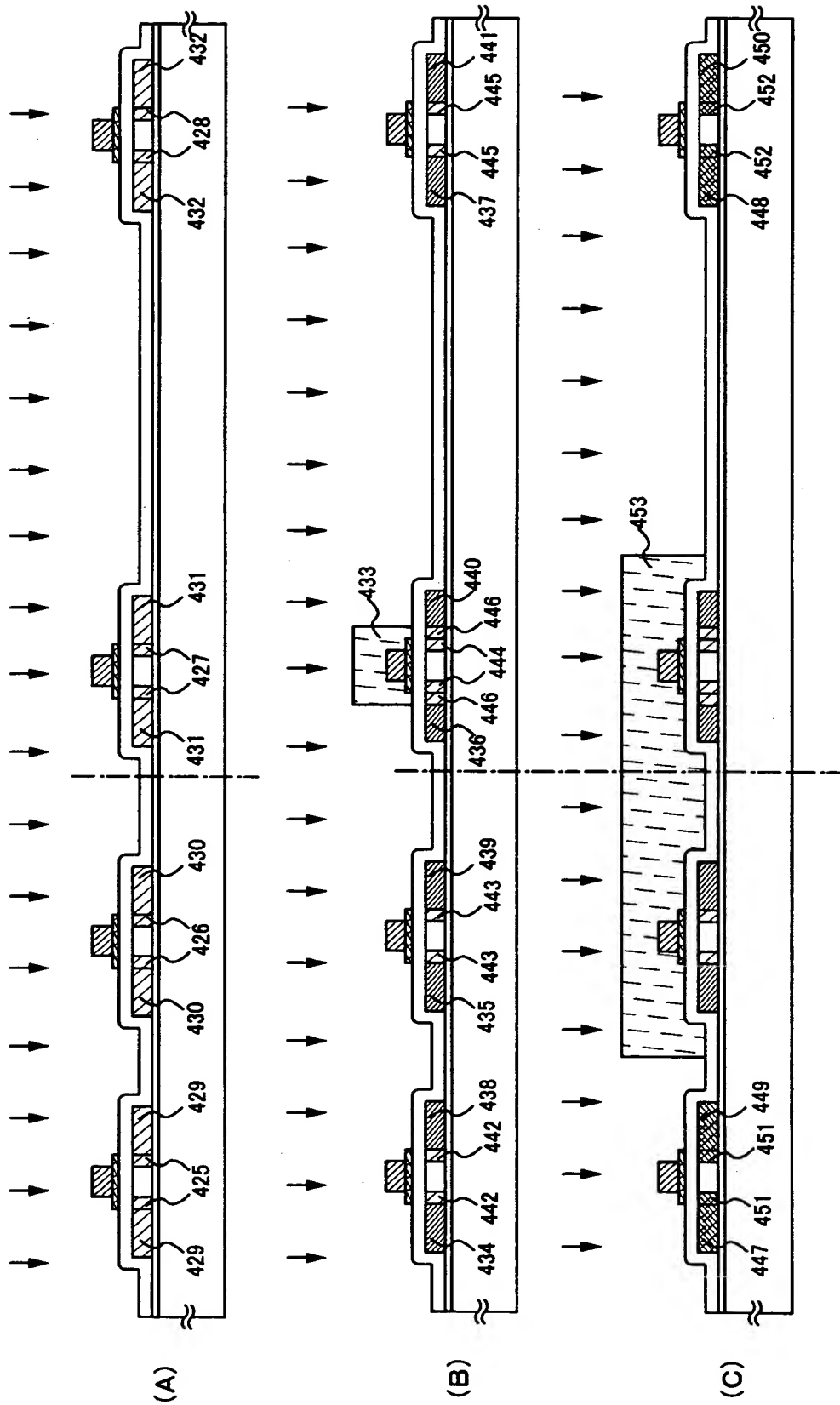
【図 2 2】



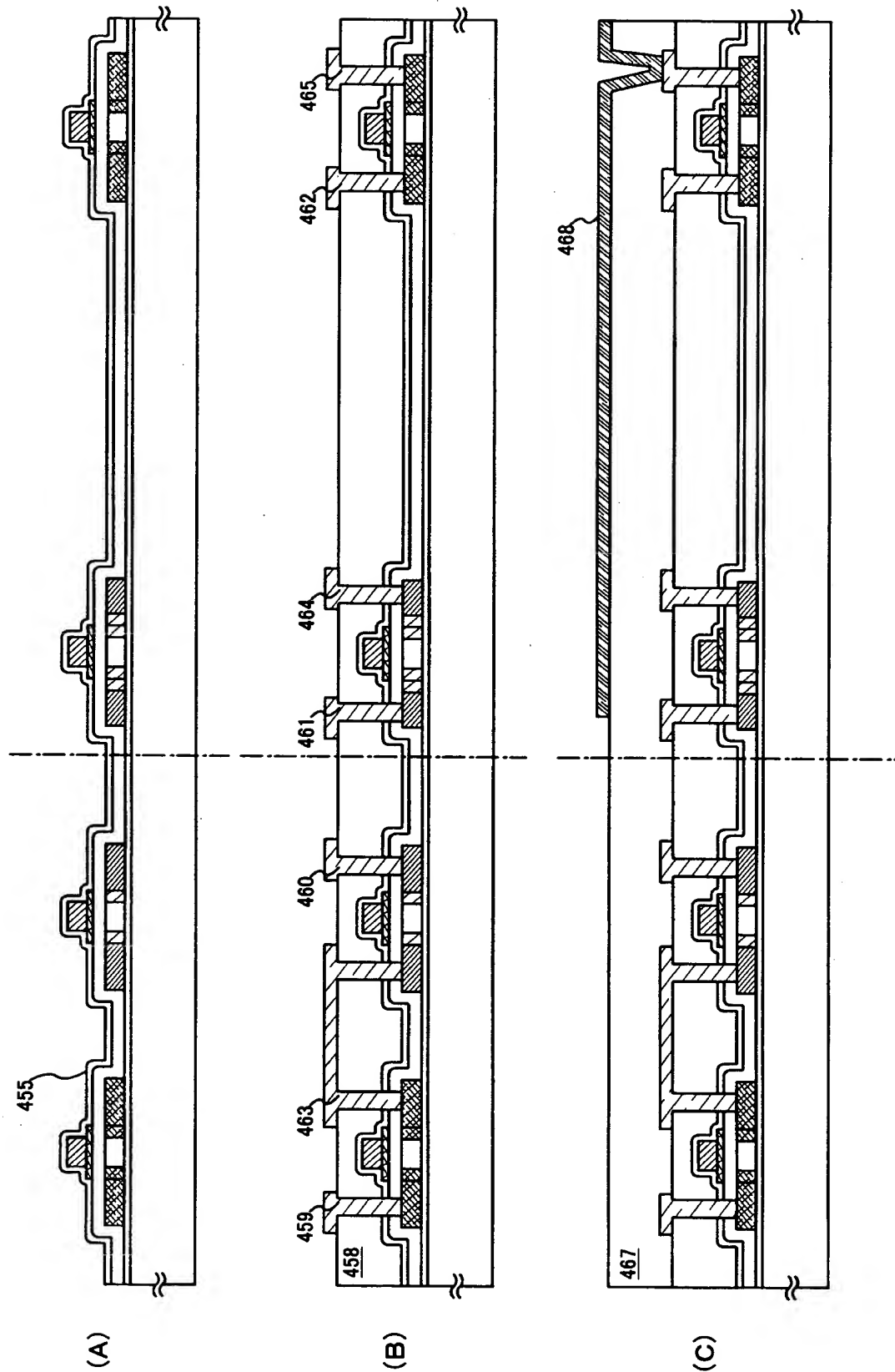
【図 23】



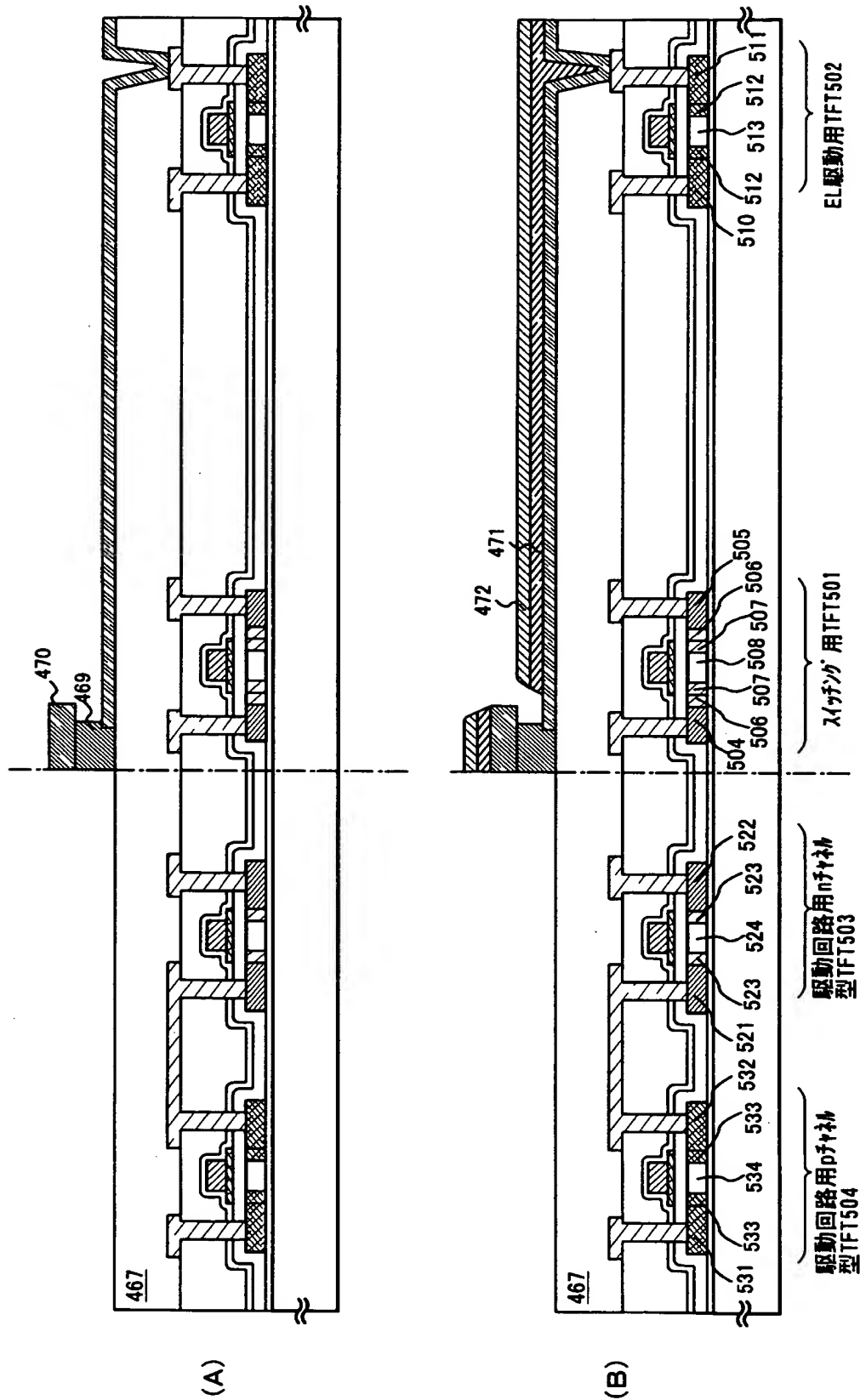
【図 24】



【図 25】

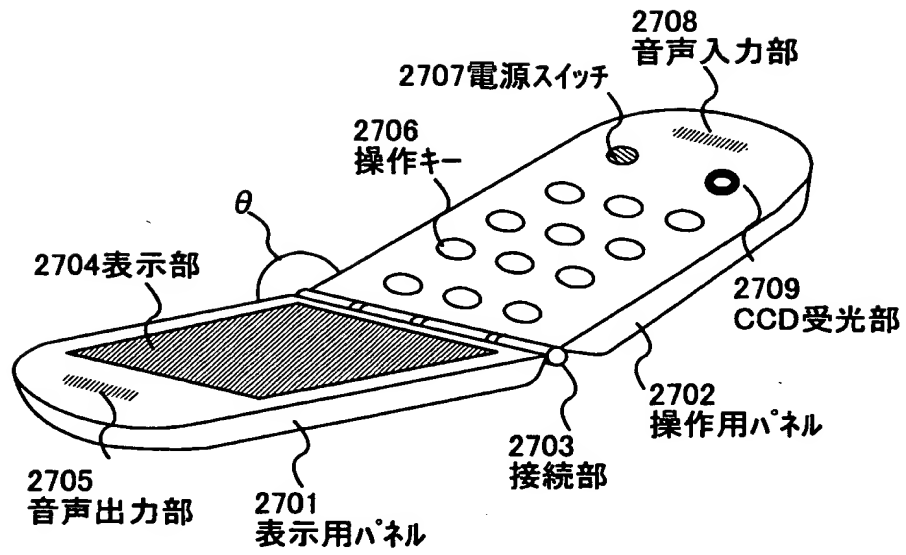


【図 2 6】

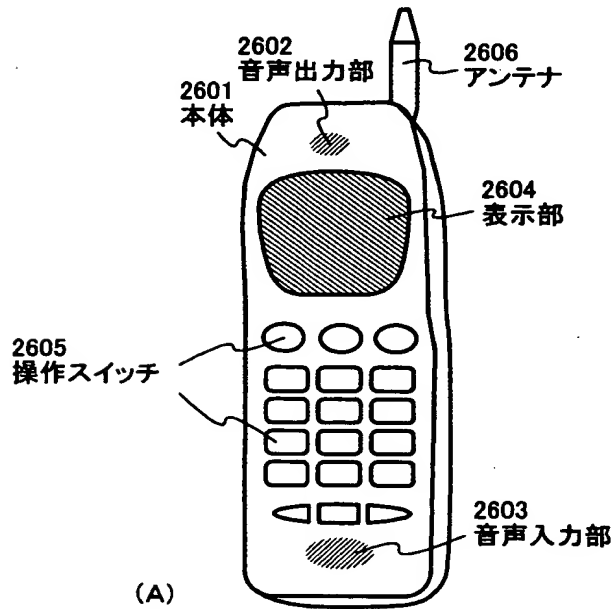


【図 2 7】

(A)

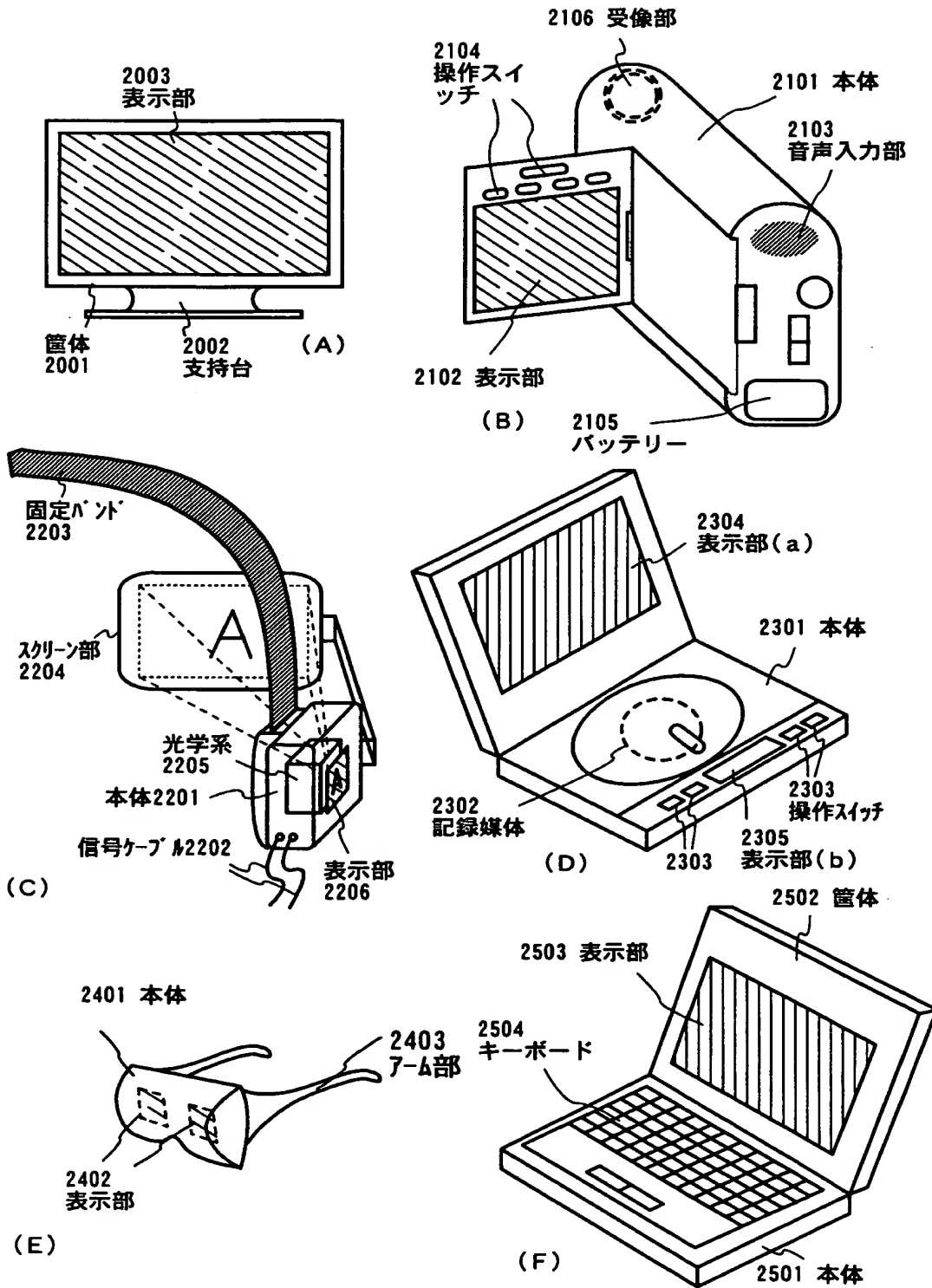


(B)



(A)

【図 28】



【書類名】 要約書

【要約】

【課題】 E Lディスプレイの消費電力を抑えることを課題とする。

【解決手段】 画素部に表示される画像の明るさによって画像の明暗を反転させ、画素部に入力されるデジタルビデオ信号のビット数を落とし、E Lディスプレイに温度モニター用のE L素子を設けてE L層の温度が変化してもE L素子を流れる電流の大きさが一定に保たれるようにする。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日  
[変更理由] 新規登録  
住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所